

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-168151

(43)Date of publication of application : 04.07.1995

(51)Int.Cl. G02F 1/133
G02F 1/136
G09G 3/36
H01L 29/786

(21)Application number : 05-316967

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 16.12.1993

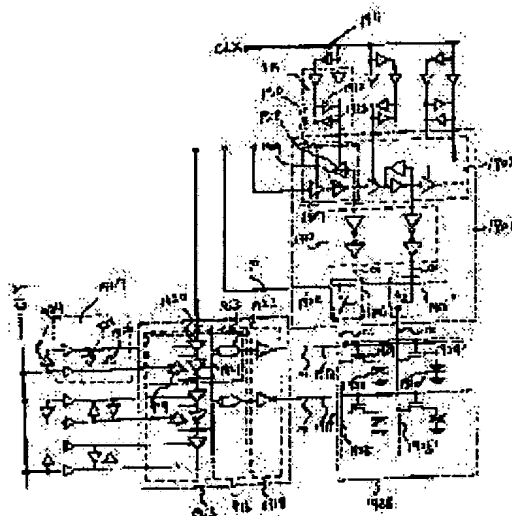
(72)Inventor : INOUE SATOSHI
OZAWA NORIO
MATSUEDA YOJIRO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide a liquid crystal display device which is free from malfunctions and is capable of making high-speed operation by eliminating the phase difference by deviation in timing of a clock CL and antiphase clock CL* of the liquid crystal display device of an active matrix system.

CONSTITUTION: There are two methods as the method for decreasing the phase differences of the clock. First is a method for connecting such a circuit (pulse correction circuit 1914) which prevents a clock signal and antiphase clock signal from simultaneously turning to an 'H' or 'L' between a clock signal line and an antiphase clock signal line. Second is a method for incorporating an antiphase clock signal generating circuit onto the same substrate. These two circuits are disposed just before a shift register for a higher effect. Then, the disposition of these circuits for each of respective bits may be said to be the most ideal method. A further higher effect is obtd. if the pulse correction circuit 1914 and the antiphase clock signal generating circuit are combined.



LEGAL STATUS

[Date of request for examination] 13.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3407370号
(P3407370)

(45) 発行日 平成15年 5 月19日 (2003. 5. 19)

(24) 登録日 平成15年 3 月14日 (2003. 3. 14)

(51) Int.Cl.⁷

G 0 2 F 1/133
G 0 9 G 3/36

識別記号

5 5 0

F I

G 0 2 F 1/133
G 0 9 G 3/36

5 5 0

請求項の数 7 (全 15 頁)

(21) 出願番号 特願平5-316967

(22) 出願日 平成 5 年12月16日 (1993. 12. 16)

(65) 公開番号 特開平7-168151

(43) 公開日 平成 7 年 7 月 4 日 (1995. 7. 4)

審査請求日 平成12年12月13日 (2000. 12. 13)

(73) 特許権者 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 井上 聡

長野県諏訪市大和 3 丁目 3 番 5 号 セイ
コーエプソン株式会社内

(72) 発明者 小澤 徳郎

長野県諏訪市大和 3 丁目 3 番 5 号 セイ
コーエプソン株式会社内

(72) 発明者 松枝 洋二郎

長野県諏訪市大和 3 丁目 3 番 5 号 セイ
コーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅誉

審査官 井口 猶二

最終頁に続く

(54) 【発明の名称】 表示装置及び駆動回路

(57) 【特許請求の範囲】

【請求項 1】 クロック信号と前記クロック信号と逆位相のクロック信号との位相差を補正するパルス補正回路と、
前記パルス補正回路により位相差が補正された前記クロック信号及び前記逆位相のクロック信号が入力される駆動回路と、
前記駆動回路から出力された信号が供給される画素マトリクスと、を備え、
前記駆動回路に対して複数の前記パルス補正回路が設けられ、当該複数のパルス補正回路から前記駆動回路の異なる部分に前記クロック信号及び前記逆位相のクロック信号が入力されること、
を特徴とする表示装置。

【請求項 2】 クロック信号が入力されることにより前記

2
クロック信号と逆位相のクロック信号を発生する複数のクロック信号発生回路と、
前記クロック信号及び前記逆位相のクロック信号が入力される駆動回路と、
前記駆動回路から出力された信号が供給される画素マトリクスと、を備え、
前記駆動回路に対して複数の前記クロック信号発生回路が設けられ、前記クロック信号及び前記逆位相のクロック信号が前記駆動回路の異なる部分に入力されること、
を特徴とする表示装置。

10
【請求項 3】 クロック信号が入力されることにより前記クロック信号と逆位相のクロック信号を発生するクロック信号発生回路と、
前記クロック信号と前記逆位相のクロック信号の位相差を補正するパルス補正回路と、

(2)

3

前記パルス補正回路により位相差が補正された前記クロック信号及び前記逆位相のクロック信号が入力される駆動回路と、
前記駆動回路から出力された信号が供給される画素マトリクスと、を備え、
前記駆動回路に対して複数のパルス補正回路及び複数のクロック信号発生回路が設けられ、当該複数のパルス補正回路から前記駆動回路の異なる部分に前記クロック信号及び逆位相のクロック信号が入力されること、
を特徴とする表示装置。

【請求項4】クロック信号及び前記クロック信号と逆位相のクロック信号が入力され、出力信号を画素マトリクスに供給する駆動回路であって、
前記クロック信号と前記逆位相のクロック信号との位相差を補正するパルス補正回路が当該駆動回路に対して複数設けられ、当該複数のパルス補正回路から前記駆動回路の異なる部分に前記クロック信号及び前記逆位相のクロック信号が入力されてなることを特徴とする駆動回路。

【請求項5】クロック信号及び前記クロック信号と逆位相のクロック信号が入力され、出力信号を画素マトリクスに供給する駆動回路であって、
クロック信号が複数のクロック信号発生回路の各々に入力されることにより発生した当該クロック信号の逆位相のクロック信号と、前記クロック信号とが、当該クロック信号発生回路に対応する、前記駆動回路の異なる部分に入力されてなることを特徴とする駆動回路。

【請求項6】クロック信号及び当該クロック信号と逆位相のクロック信号が入力され、出力信号を画素マトリクスに供給する駆動回路であって、
クロック信号がクロック信号発生回路に入力されることにより発生した当該クロック信号の逆位相のクロック信号と、前記クロック信号との位相差を補正するパルス補正回路が当該駆動回路に対して複数設けられ、当該複数のパルス補正回路から前記駆動回路の異なる部分に前記クロック信号及び前記逆位相のクロック信号が入力されてなることを特徴とする駆動回路。

【請求項7】請求項4乃至6のいずれかに記載の駆動回路と、
前記駆動回路からの出力信号が供給される画素マトリクスと、を備えた表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はスイッチング素子に薄膜トランジスタ等を用いたアクティブマトリクス型の液晶表示装置に関する。

【0002】

【従来の技術】従来、液晶の電気光学特性を利用して視覚情報を表示する液晶表示装置は、コンピュータ画像の出力装置や、携帯型テレビ、ビデオプロジェクタ、ビデ

4

オカメラのビューファインダなど多岐に渡って使用されている。

【0003】これら液晶表示装置のうち、薄膜トランジスタをアクティブ素子として用いたアクティブマトリクス方式の液晶表示装置の回路構成は、図1にブロック図で示すように、ソース線駆動回路201およびゲート線駆動回路202と、少なくとも画素マトリクス203とが同一の透明絶縁基板204の上に形成されてなる。そのうち、画素マトリクス203は、ソース線駆動回路201に接続された複数のソース線 $X_1, X_2, X_3 \dots$ と、ゲート線駆動回路202に接続された複数のゲート線 $Y_1, Y_2, Y_3 \dots$ と、これらのゲート線およびソース線の各交点に形成された複数の画素 $P_{11}, P_{12} \dots$ とを有し、各画素 $P_{11}, P_{12} \dots$ には薄膜トランジスタ205および液晶セル206を有する。

【0004】以上の構成を有する液晶表示装置の等価回路構成について、図2を用いて説明する。図2はアクティブマトリクス型の液晶表示装置の等価回路構成を説明する図である。等価回路は大きく分けて、ソース線駆動回路301およびゲート線駆動回路302と、画素マトリクス303とからなる。前記ソース線駆動回路301は、ラッチ信号を時系列的に送出するためのX側シフトレジスタ304と、その前記ラッチ信号を増幅、整波するためのバッファ305と、ビデオ信号線306に印加されたビデオ信号を、前記バッファ305から送出されるラッチ信号に応じてソース線308, 308'にサンプル、ホールドするためのアナログスイッチ307, 307'と、から構成される。ここで、前記X側シフトレジスタ304は、クロックCLXで規定されるクロックドインバータ331と、クロックCLX*で規定されるクロックドインバータ332と、インバータ333とからなる基本セル334を単位に構成される。

【0005】一方、前記ゲート線駆動回路302は、ラッチ信号を時系列的に送出するためのY側シフトレジスタ309と、その前記ラッチ信号を増幅、整波し、ゲート線311, 311'に送出するためのバッファ310と、から構成される。ここで、前記Y側シフトレジスタ309は、クロックCLYで規定されるクロックドインバータ335と、クロックCLY*で規定されるクロックドインバータ336と、インバータ337と、NORゲート338とからなる基本セル339を単位に構成される。

【0006】また、前記画素マトリクス303は、前記ソース線308, 308'...およびゲート線311, 311'...に接続された薄膜トランジスタ312, 312'...と液晶セル313, 313'...とから構成される。

【0007】次に、図2に等価回路図で示した液晶表示装置の駆動方法の一例について、図2と図3を用いて説明する。図3に、図2の点 $P_1, P_2, Q_1, Q_2, R_1,$

(3)

5

R₂, V₁での電圧を時系列で示す。CLXはX側シフトレジスタのクロックを表しており、CLX*とは逆位相の関係になっている。同様に、CLYはY側シフトレジスタのクロックを表しており、CLY*とは逆位相の関係になっている。ここでは、CLX*とCLY*については図示しない。

【0008】駆動方法を順に説明すると、まず、前記Y側シフトレジスタ309が前記クロックCLY, CLY*のタイミングに応じて、前記クロックCLY, CLY*の周期の1/2の幅のパルスを前記バッファ310に出力する。そのパルスを前記バッファ310が増幅、整波して、前記ゲート線311(P₁)にゲート選択パルス401を出力する。この前記ゲート選択パルス401が選択レベルである間、ゲート線311に接続した複数の前記薄膜トランジスタ312, 312'は導通状態になり、このゲート線311に接続した複数の薄膜トランジスタ312, 312'に接続したソース線303, 303'と、液晶セル313, 313'とが電氣的に接続する。このとき、前記X側シフトレジスタ304が前記クロックCLX, CLX*のタイミングに応じて、前記クロックの周期と同じ幅のパルスを前記バッファ305に出力する。そのパルスを増幅、整波してアナログスイッチ307(Q₁)にサンプル・ホールド信号403を出力し、前記アナログスイッチ307はそのパルスに応じて前記ビデオ信号線306(V₁)のビデオ信号405を前記ソース線308(R₁)にサンプル・ホールドする。このとき、先に述べたように前記ゲート線311に接続した複数の前記薄膜トランジスタ312は導通状態にあるため、前記ソース線308にホールドした信号は前記液晶セル313に書き込まれる。同様に、アナログスイッチ307'はソース線308'に前記ビデオ信号405をサンプル・ホールドする。これによって、前記液晶セル313'には前記ソース線308'にサンプル・ホールドした信号が書き込まれる。これを前記ソース線駆動回路301の側で繰り返すことにより、前記ゲート線311に接続した複数の画素の液晶セルへ、前記ビデオ信号405を書き込むことができる。

【0009】次に、前記ゲート選択パルス401が非選択レベルになった後、前記ゲート線駆動回路302からゲート選択パルス402が出力される。この前記ゲート選択パルス402が選択レベルである間に、前述したのと同様に前記ソース線駆動回路301を駆動すると、前記ゲート線311'に接続した複数の画素の液晶セルに前記ビデオ信号405を書き込むことができる。

【0010】以上の操作を繰り返すことにより、各画素の液晶セル単位でビデオ信号を書き込むことが可能になり、液晶セルに書き込まれた信号に応じて各々の液晶セルの偏光状態を変えることで、画像を得ることができる。

【0011】

6

【発明が解決しようとする課題】上記のアクティブマトリクス方式の液晶表示装置において、前記クロックCLX, CLX*、或いは前記クロックCLY, CLY*のタイミングがずれ、位相差が生じるとシフトレジスタが誤動作することが知られている。図4は、シフトレジスタの駆動周波数とクロックの位相差の許容範囲(クロックマージン)の相関を示したグラフである。この様にシフトレジスタの駆動周波数が高くなると、それに伴ってクロックマージンが小さくなり、駆動周波数が17~18MHzを越えるとクロックマージンは20ns未満となる。これはトランジスタの性能が向上し回路の高速化がなされる程、誤動作を起こし易くなる事を意味する。

【0012】そこで本発明では上記の課題を回路設計により解決し、誤動作を起こし難く且つ高速動作可能な液晶表示装置を提供する事を目的にしている。

【0013】

【課題を解決するための手段】上記目的を達成するために本発明の第1の表示装置は、クロック信号と前記クロック信号と逆位相のクロック信号との位相差を補正するパルス補正回路と、前記パルス補正回路により位相差が補正された前記クロック信号及び前記逆位相のクロック信号が入力される駆動回路と、前記駆動回路から出力された信号が供給される画素マトリクスと、を備え、前記駆動回路に対して複数の前記パルス補正回路が設けられ、当該複数のパルス補正回路から前記駆動回路の異なる部分に前記クロック信号及び前記逆位相のクロック信号が入力されること、を特徴としている。本発明の第2の表示装置は、クロック信号が入力されることにより前記クロック信号と逆位相のクロック信号を発生する複数のクロック信号発生回路と、前記クロック信号及び前記逆位相のクロック信号が入力される駆動回路と、前記駆動回路から出力された信号が供給される画素マトリクスと、を備え、前記駆動回路に対して複数の前記クロック信号発生回路が設けられ、前記クロック信号及び前記逆位相のクロック信号が前記駆動回路の異なる部分に入力されること、を特徴としている。本発明の第3の表示装置は、クロック信号が入力されることにより前記クロック信号と逆位相のクロック信号を発生するクロック信号発生回路と、前記クロック信号と前記逆位相のクロック信号の位相差を補正するパルス補正回路と、前記パルス補正回路により位相差が補正された前記クロック信号及び前記逆位相のクロック信号が入力される駆動回路と、前記駆動回路から出力された信号が供給される画素マトリクスと、を備え、前記駆動回路に対して複数のパルス補正回路及び複数のクロック信号発生回路が設けられ、当該複数のパルス補正回路から前記駆動回路の異なる部分に前記クロック信号及び逆位相のクロック信号が入力されること、を特徴としている。

【0014】本発明の第1の駆動回路は、クロック信号及び前記クロック信号と逆位相のクロック信号が入力さ

(4)

7

れ、出力信号を画素マトリクスに供給する駆動回路であって、前記クロック信号と前記逆位相のクロック信号との位相差を補正するパルス補正回路が当該駆動回路に対して複数設けられ、当該複数のパルス補正回路から前記駆動回路の異なる部分に前記クロック信号及び前記逆位相のクロック信号が入力されてなることを特徴とする。本発明の第2の駆動回路は、クロック信号及び前記クロック信号と逆位相のクロック信号が入力され、出力信号を画素マトリクスに供給する駆動回路であって、クロック信号が複数のクロック信号発生回路の各々に入力されることにより発生した当該クロック信号の逆位相のクロック信号と、前記クロック信号とが、当該クロック信号発生回路に対応する、前記駆動回路の異なる部分に入力されてなることを特徴としている。本発明の第3の駆動回路は、クロック信号及び当該クロック信号と逆位相のクロック信号が入力され、出力信号を画素マトリクスに供給する駆動回路であって、クロック信号がクロック信号発生回路に入力されることにより発生した当該クロック信号の逆位相のクロック信号と、前記クロック信号との位相差を補正するパルス補正回路が当該駆動回路に対して複数設けられ、当該複数のパルス補正回路から前記駆動回路の異なる部分に前記クロック信号及び前記逆位相のクロック信号が入力されてなることを特徴している。本発明の第4の表示装置は、上記の駆動回路と、当該駆動回路からの出力信号が供給される画素マトリクスと、を備えていることを特徴としている。

【0015】第二は、逆位相クロック信号発生回路を同一基板上に内蔵する方法である。クロック信号と逆位相クロック信号の位相差が生じる原因の一つは、クロック信号線と逆位相クロック信号線の寄生容量や寄生抵抗が異なる為である。従って、クロック信号と逆位相クロック信号の発生部とシフトレジスタ間の距離が大きい程、位相差が生じ易くなる。逆位相クロック信号発生回路を同一基板上に内蔵する事により、この距離が短くなりクロックの位相差を少なくできる。ところでこれら2つの回路は、シフトレジスタの直前に設けるのが効果的である。従ってこれらの回路を各ビット毎に設ける事が最も理想的な方法と言える。また、パルス補正回路と逆位相クロック信号発生回路を組み合わせると更に効果的である。

【0016】

【作用】上記手段を講じたアクティブマトリクス方式の液晶表示装置においては、クロックの位相差が少なくなる。これにより誤動作を起こし難く且つ高速動作する回路が実現可能となり、高信頼性、高精細液晶表示装置を提供できる。

【0017】

【実施例】

（実施例1）本発明を実施したアクティブマトリクス方式の液晶表示装置を図5、図6、図7および図8を用い

8

て説明する。

【0018】図5はその回路構成を説明する図である。本発明のアクティブマトリクス方式の液晶表示装置は、ソース線駆動回路501とソース線駆動回路501用クロックのパルス補正回路502、ゲート線駆動回路503と、ゲート線駆動回路503用クロックのパルス補正回路504、少なくとも画素マトリクス505が同一の透明絶縁基板506の上に形成されてなる。そのうち、画素マトリクス505は、ソース線駆動回路501に接続された複数のソース線 $X_1, X_2, X_3 \dots$ と、ゲート線駆動回路503に接続された複数のゲート線 $Y_1, Y_2, Y_3 \dots$ と、これらのゲート線およびソース線の各交点に形成された複数の画素 $P_{11}, P_{12} \dots$ とを有し、各画素 $P_{11}, P_{12} \dots$ には薄膜トランジスタ507および液晶セル508を有する。ソース線駆動回路501用クロック（CLX、CLX*）は、パルス補正回路502により位相差が補正され、ソース線駆動回路501に入力される。同様にゲート線駆動回路503用クロック（CLY、CLY*）は、パルス補正回路504により位相差が補正され、ゲート線駆動回路503に入力される。

【0019】以上の回路構成を有する液晶表示装置において、パルス補正回路502、504の一例を図6の等価回路を用いて説明する。この回路では、クロック信号線と逆位相クロック信号線間に帰還がかかっており、常に逆位相となる様に設定されている。従って、仮にクロック信号と逆位相クロック信号が同時に”H”、或いは同時に”L”となった場合はそれを補正する事が可能である。

【0020】図7は、位相差の生じたクロック信号及び逆位相クロック信号の波形と、それをパルス補正回路に通した後の信号波形を比較したものである。パルス補正回路により位相差が低減されている。

【0021】パルス補正回路としては、この他に例えば図8に示す様なフリップフロップ回路等を用いても良い。

【0022】（実施例2）本発明の他の実施例を図9及び図10を用いて説明する。

【0023】図9はその回路構成を説明する図である。

本発明のアクティブマトリクス方式の液晶表示装置は、ソース線駆動回路901とソース線駆動回路901用クロックのパルス補正回路902、ゲート線駆動回路903と、ゲート線駆動回路903用クロックのパルス補正回路904、少なくとも画素マトリクス905が同一の透明絶縁基板906の上に形成されてなる。そのうち、画素マトリクス905は、ソース線駆動回路901に接続された複数のソース線 $X_1, X_2, X_3 \dots$ と、ゲート線駆動回路903に接続された複数のゲート線 $Y_1, Y_2, Y_3 \dots$ と、これらのゲート線およびソース線の各交点に形成された複数の画素 $P_{11}, P_{12} \dots$ とを有

(5)

9

し、各画素P₁₁, P₁₂・・・には薄膜トランジスタ907および液晶セル908を有する。ソース線駆動回路901用クロック(C_{LX}, C_{LX}*)は、パルス補正回路902により位相差が各ビット毎に補正され、ソース線駆動回路901に輸入される。同様にゲート線駆動回路903用クロック(C_{LX}, C_{LX}*)は、パルス補正回路904により位相差が各ビット毎に補正され、ゲート線駆動回路903に輸入される。

【0024】以上の回路構成を有する液晶表示装置において、ソース線駆動回路とソース線駆動回路用クロックのパルス補正回路の一例を図10の等価回路を用いて説明する。ソース線駆動回路1001は、ラッチ信号を時系列的に送出するためのX側シフトレジスタ1002と、そのラッチ信号を増幅、整波するためのバッファ1003と、ビデオ信号線1004のビデオ信号をバッファ1003から送出されるラッチ信号に応じてソース線1005, 1005'にサンプル、ホールドするアナログスイッチ1006, 1006'とで構成される。ここで、X側シフトレジスタ1002は、クロックC_{LX}で規定されるクロックドインバータ1007と、クロックC_{LX}*で規定されるクロックドインバータ1008と、インバータ1009とからなる基本セル1010を単位に構成される。C_{LX}はX側シフトレジスタのクロックを表しており、C_{LX}*とは逆位相の関係になっている。このC_{LX}とC_{LX}*は、各ビット単位毎に接続された2つのインバータ1011, 1012からなるパルス補正回路により、位相差が補正され、クロックC_{LX}で規定されるクロックドインバータ1007と、クロックC_{LX}*で規定されるクロックドインバータ1008に輸入される。一方、前記ゲート線駆動回路1013は、ラッチ信号を時系列的に送出するためのY側シフトレジスタ1014と、そのラッチ信号を増幅、整波し、ゲート線1015, 1015'に送出するためのバッファ1016とから構成される。ここで、前記Y側シフトレジスタ1014は、クロックC_{LY}で規定されるクロックドインバータ1017と、クロックC_{LY}*で規定されるクロックドインバータ1018と、インバータ1019と、NORゲート1020からなる基本セル1021を単位に構成される。C_{LY}はY側シフトレジスタのクロックを表しており、C_{LY}*とは逆位相の関係になっている。このC_{LY}とC_{LY}*は、各ビット単位毎に接続された2つのインバータ1022, 1023からなるパルス補正回路により、位相差が補正され、クロックC_{LY}で規定されるクロックドインバータ1017と、クロックC_{LY}*で規定されるクロックドインバータ1018に輸入される。また、画素マトリクス1024は、前記ソース線1005, 1005'およびゲート線1015, 1015'に接続された薄膜トランジスタ1025, 1025'と液晶セル1026, 1026'とから構成される。

10

【0025】(実施例3)本発明の他の実施例を図11、図12を用いて説明する。

【0026】図11はその回路構成を説明する図である。本発明のアクティブマトリクス方式の液晶表示装置は、ソース線駆動回路1101とソース線駆動回路1101用逆位相クロック発生回路1102、ゲート線駆動回路1103と、ゲート線駆動回路1103用クロックの逆位相クロック発生回路1104、少なくとも画素マトリクス1105が同一の透明絶縁基板1106の上に形成されてなる。そのうち、画素マトリクス1105は、ソース線駆動回路1101に接続された複数のソース線X₁, X₂, X₃・・・と、ゲート線駆動回路1103に接続された複数のゲート線Y₁, Y₂, Y₃・・・と、これらのゲート線およびソース線の各交点に形成された複数の画素P₁₁, P₁₂・・・とを有し、各画素P₁₁, P₁₂・・・には薄膜トランジスタ1107および液晶セル1108を有する。ソース線駆動回路1101用の逆位相クロック(C_{LX}*)は、ソース線駆動回路1101用クロック(C_{LX})を、ソース線駆動回路1101用逆位相クロック発生回路1102に輸入する事で形成できる。更に、これらのクロック(C_{LX}, C_{LX}*)をソース線駆動回路1101に輸入する事で、回路が動作する。同様にゲート線駆動回路1103用の逆位相クロック(C_{LY}*)は、ゲート線駆動回路1103用クロック(C_{LY})を、ゲート線駆動回路1103用逆位相クロック発生回路1104に輸入する事で形成できる。更に、これらのクロック(C_{LY}, C_{LY}*)をゲート線駆動回路1103に輸入する事で、回路が動作する。

【0027】最も簡単な逆位相クロック発生回路は、図12に示す様なインバータである。この場合、クロックと逆位相クロック位相差はインバータの遅延により決定される。従って、インバータを構成する薄膜トランジスタの特性やデバイスパラメータによりその値が異なる。しかし一般には数ns程度であり、クロックと逆位相クロックを外部から入力した時の位相差と比較すると遥かに小さいものである。

【0028】(実施例4)本発明の他の実施例を図13及び図14を用いて説明する。

【0029】図13はその回路構成を説明する図である。本発明のアクティブマトリクス方式の液晶表示装置は、ソース線駆動回路1301とソース線駆動回路1301用逆位相クロック発生回路1302、ゲート線駆動回路1303とゲート線駆動回路1303用逆位相クロック発生回路1304、少なくとも画素マトリクス1305が同一の透明絶縁基板1306の上に形成されてなる。そのうち、画素マトリクス1305は、ソース線駆動回路1301に接続された複数のソース線X₁, X₂, X₃・・・と、ゲート線駆動回路1303に接続された複数のゲート線Y₁, Y₂, Y₃・・・と、これらのゲート線

(6)

11

ト線およびソース線の各交点に形成された複数の画素P₁₁, P₁₂・・・とを有し、各画素P₁₁, P₁₂・・・には薄膜トランジスタ1307および液晶セル1308を有する。ソース線駆動回路1301用クロック(C₁L₁X)とソース線駆動回路1301用逆位相クロック発生回路1302により形成した逆位相クロック(C₁L₁X*)は、各ビット毎にソース線駆動回路1301に入力される。同様にゲート線駆動回路1303用クロック(C₁L₁Y)とゲート線駆動回路1303用逆位相クロック発生回路1304により形成した逆位相クロック(C₁L₁Y*)は、各ビット毎にゲート線駆動回路1303に入力される。

【0030】以上の回路構成を有する液晶表示装置において、ソース線駆動回路とソース線駆動回路用逆位相クロック発生回路の一例を図14の等価回路を用いて説明する。ソース線駆動回路1401は、ラッチ信号を時系列的に送出するためのX側シフトレジスタ1402と、そのラッチ信号を増幅、整波するためのバッファ1403と、ビデオ信号線1404のビデオ信号をバッファ1403から送出されるラッチ信号に応じてソース線1405, 1405'にサンプル、ホールドするアナログスイッチ1406, 1406'とで構成される。ここで、X側シフトレジスタ1402は、クロックC₁L₁Xで規定されるクロックドインバータ1407と、クロックC₁L₁X*で規定されるクロックドインバータ1408と、インバータ1409とからなる基本セル1410を単位に構成される。C₁L₁XはX側シフトレジスタのクロックを表しており、C₁L₁X*とは逆位相の関係になっている。このC₁L₁Xは、クロックC₁L₁Xで規定されるクロックドインバータ1407に入力される。またC₁L₁X*は、各ビット単位毎に接続されたインバータ1411からなる逆位相クロック発生回路により形成され、クロックC₁L₁X*で規定されるクロックドインバータ1408に入力される。一方、前記ゲート線駆動回路1412は、ラッチ信号を時系列的に送出するためのY側シフトレジスタ1413と、そのラッチ信号を増幅、整波し、ゲート線1414, 1414'に送出するためのバッファ1415とから構成される。ここで、前記Y側シフトレジスタ1413は、クロックC₁L₁Yで規定されるクロックドインバータ1416と、クロックC₁L₁Y*で規定されるクロックドインバータ1417と、インバータ1418と、NORゲート1419からなる基本セル1420を単位に構成される。C₁L₁YはY側シフトレジスタのクロックを表しており、C₁L₁Y*とは逆位相の関係になっている。このC₁L₁Yは、クロックC₁L₁Yで規定されるクロックドインバータ1416に入力される。またC₁L₁Y*は、各ビット単位毎に接続されたインバータ1421からなる逆位相クロック発生回路により形成され、クロックC₁L₁X*で規定されるクロックドインバータ1417に入力される。また、画素マトリクス1422は、前記

12

ソース線1405, 1405'およびゲート線1414, 1414'に接続された薄膜トランジスタ1423, 1423'と液晶セル1424, 1424'とから構成される。

【0031】(実施例5)本発明の他の実施例を図15、図16、図17を用いて説明する。

【0032】図15はその回路構成を説明する図である。本発明のアクティブマトリクス方式の液晶表示装置は、ソース線駆動回路1501とソース線駆動回路1501用逆位相クロック発生回路1502とソース線駆動回路1501用クロックのパルス補正回路1503、ゲート線駆動回路1504とゲート線駆動回路1504用クロックの逆位相クロック発生回路1505とゲート線駆動回路1504用クロックのパルス補正回路1506、少なくとも画素マトリクス1507が同一の透明絶縁基板1508の上に形成されてなる。そのうち、画素マトリクス1507は、ソース線駆動回路1501に接続された複数のソース線X₁, X₂, X₃・・・と、ゲート線駆動回路1504に接続された複数のゲート線Y₁, Y₂, Y₃・・・と、これらのゲート線およびソース線の各交点に形成された複数の画素P₁₁, P₁₂・・・とを有し、各画素P₁₁, P₁₂・・・には薄膜トランジスタ1509および液晶セル1510を有する。ソース線駆動回路1501用の逆位相クロック(C₁L₁X*)は、ソース線駆動回路1501用クロック(C₁L₁X)を、ソース線駆動回路1501用逆位相クロック発生回路1502に入力する事で形成できる。更に、これらのクロック(C₁L₁X, C₁L₁X*)をソース線駆動回路1501用クロックのパルス補正回路1503により位相差を補正した後ソース線駆動回路1501に入力する。同様にゲート線駆動回路1504用の逆位相クロック(C₁L₁Y*)は、ゲート線駆動回路1504用クロック(C₁L₁Y)を、ゲート線駆動回路1504用逆位相クロック発生回路1505に入力する事で形成できる。更に、これらのクロック(C₁L₁Y, C₁L₁Y*)をゲート線駆動回路1504用クロックのパルス補正回路1506により位相差を補正した後ゲート線駆動回路1504に入力する。

【0033】以上の回路構成を有する液晶表示装置において、逆位相クロック発生回路とパルス補正回路を組み合わせた回路の一例を図16の等価回路を用いて説明する。この回路では、クロック信号をインバータにより反転し逆位相クロック信号を形成する。この時、インバータの遅延により生じたクロックと逆位相クロック間の位相差は、パルス補正回路により常に逆位相となる様に補正される。

【0034】逆位相クロック発生回路とパルス補正回路を組み合わせた回路としては、この他に例えば図17に示す様な回路等でも良い。

【0035】(実施例6)本発明の他の実施例を図18

(7)

13

及び図19を用いて説明する。

【0036】図18はその回路構成を説明する図である。本発明のアクティブマトリクス方式の液晶表示装置は、ソース線駆動回路1801とソース線駆動回路1801用逆位相クロック発生回路1802とソース線駆動回路1801用クロックのパルス補正回路1803、ゲート線駆動回路1804とゲート線駆動回路1804用逆位相クロック発生回路1805とゲート線駆動回路1804用クロックのパルス補正回路1806、少なくとも画素マトリクス1807が同一の透明絶縁基板1808の上に形成されてなる。そのうち、画素マトリクス1807は、ソース線駆動回路1801に接続された複数のソース線 $X_1, X_2, X_3 \dots$ と、ゲート線駆動回路1804に接続された複数のゲート線 $Y_1, Y_2, Y_3 \dots$ と、これらのゲート線およびソース線の各交点に形成された複数の画素 $P_{11}, P_{12} \dots$ とを有し、各画素 $P_{11}, P_{12} \dots$ には薄膜トランジスタ1809および液晶セル1810を有する。ここで、ソース線駆動回路1801用クロック(CLX)とソース線駆動回路1801用逆位相クロック発生回路1802により各ビット毎に逆位相クロック(CLX*)を形成する。更にこれらのクロック(CLX, CLX*)をソース線駆動回路1801用クロックのパルス補正回路1803により位相差を補正してソース線駆動回路1801に入力する。同様にゲート線駆動回路1804用クロック(CLY)とゲート線駆動回路1804用逆位相クロック発生回路1805により各ビット毎に逆位相クロック(CLY*)を形成する。更にこれらのクロック(CLY, CLY*)をゲート線駆動回路1804用クロックのパルス補正回路1806により位相差を補正してソース線駆動回路1804に入力する。

【0037】以上の回路構成を有する液晶表示装置において、ソース線駆動回路とソース線駆動回路用逆位相クロック発生回路、及びソース線駆動回路用パルス補正回路の一例を図19の等価回路を用いて説明する。ソース線駆動回路1901は、ラッチ信号を時系列的に送出するためのX側シフトレジスタ1902と、そのラッチ信号を増幅、整波するためのバッファ1903と、ビデオ信号線1904のビデオ信号をバッファ1903から送出されるラッチ信号に応じてソース線1905, 1905'にサンプル、ホールドするアナログスイッチ1906, 1906'とで構成される。ここで、X側シフトレジスタ1902は、クロックCLXで規定されるクロックドインバータ1907と、クロックCLX*で規定されるクロックドインバータ1908と、インバータ1909とからなる基本セル1910を単位に構成される。CLXはX側シフトレジスタのクロックを表しており、CLX*とは逆位相の関係になっている。このCLXは、クロックCLXで規定されるクロックドインバータ1907に入力される。またCLX*は、各ビット単位

14

毎に接続されたインバータ1911からなる逆位相クロック発生回路により形成され、インバータ1912, 1913からなるパルス補正回路1914によりクロックCLXとの位相差を補正した後、クロックCLX*で規定されるクロックドインバータ1908に入力される。一方、前記ゲート線駆動回路1915は、ラッチ信号を時系列的に送出するためのY側シフトレジスタ1916と、そのラッチ信号を増幅、整波し、ゲート線1917, 1917'に送出するためのバッファ1918とから構成される。ここで、前記Y側シフトレジスタ1916は、クロックCLYで規定されるクロックドインバータ1919と、クロックCLY*で規定されるクロックドインバータ1920と、インバータ1921と、NORゲート1922からなる基本セル1923を単位に構成される。CLYはY側シフトレジスタのクロックを表しており、CLY*とは逆位相の関係になっている。このCLYは、クロックCLYで規定されるクロックドインバータ1919に入力される。またCLY*は、各ビット単位毎に接続されたインバータ1924からなる逆位相クロック発生回路により形成され、インバータ1925, 1926からなるパルス補正回路1927によりクロックCLYとの位相差を補正した後、クロックCLY*で規定されるクロックドインバータ1920に入力される。また、画素マトリクス1928は、前記ソース線1905, 1905'およびゲート線1917, 1917'に接続された薄膜トランジスタ1929, 1929'と液晶セル1930, 1930'とから構成される。

【0038】

【発明の効果】上記手段を講じたアクティブマトリクス方式の液晶表示装置においては、クロックの位相差が少なくなり、これにより誤動作を起こし難く、且つ高速動作が可能になる。結果として信頼性の高い、高精細液晶表示装置を提供することができる。更に逆位相クロック信号発生回路を内蔵した場合は、外部から入力するクロックの数が半分になる為外部回路の負担を大幅に低減できると共に、回路の小型化も実現可能となる。

【図面の簡単な説明】

【図1】 従来の液晶表示装置の構成を説明する図である。

【図2】 従来の液晶表示装置を説明する等価回路図である。

【図3】 従来の液晶表示装置の駆動方法の一例を説明する図。

【図4】 シフトレジスタの駆動周波数とクロックと逆位相クロックの位相差の許容範囲(クロックマージン)の相関を示すグラフである。

【図5】 本発明の実施例1の回路構成の一例を説明する図である。

【図6】 本発明の実施例1をより単純化した等価回路

(8)

15

にして説明する図である。

【図7】 位相差の生じたクロック信号及び逆位相クロック信号の波形と、それをパルス補正回路に通した後の信号波形を比較した図である。

【図8】 パルス補正回路の他の一例を等価回路で説明した図である。

【図9】 本発明の実施例2の回路構成の一例を説明する図である。

【図10】 本発明の実施例2をより単純化した等価回路にして説明する図である。

【図11】 本発明の実施例3の回路構成の一例を説明する図である。

【図12】 逆位相クロック発生回路の一例を等価回路で説明した図である。

【図13】 本発明の実施例4の回路構成の一例を説明する図である。

【図14】 本発明の実施例4をより単純化した等価回路にして説明する図である。

【図15】 本発明の実施例5の回路構成の一例を説明する図である。

【図16】 本発明の実施例5をより単純化した等価回路にして説明する図である。

【図17】 逆位相クロック発生回路とパルス補正回路を組み合わせた回路の他の一例を等価回路で説明した図である。

【図18】 本発明の実施例6の回路構成の一例を説明する図である。

【図19】 本発明の実施例6をより単純化した等価回路にして説明する図である。

【符号の説明】

201 . . . ソース線駆動回路
202 . . . ゲート線駆動回路
203 . . . 画素マトリクス
204 . . . 透明な絶縁基板
205 . . . 薄膜トランジスタ
206 . . . 液晶セル
X₁, X₂, X₃ . . . ソース線
Y₁, Y₂, Y₃ . . . ゲート線
301 . . . ソース線駆動回路
302 . . . ゲート線駆動回路
303 . . . 画素マトリクス
304 . . . X側シフトレジスタ
305 . . . X側バッファ
306 . . . ビデオ信号線
307, 307' . . . アナログスイッチ
308, 308' . . . ソース線
309 . . . Y側シフトレジスタ
310 . . . Y側バッファ
311, 311' . . . ゲート線
312, 312' . . . 薄膜トランジスタ

16

313, 313' . . . 液晶セル
331 . . . クロックCLXで規定されるクロックドインバータ
332 . . . クロックCLX*で規定されるクロックドインバータ
333 . . . インバータ
334 . . . X側シフトレジスタの基本セル
335 . . . クロックCLYで規定されるクロックドインバータ
336 . . . クロックCLY*で規定されるクロックドインバータ
337 . . . インバータ
338 . . . NOR論理ゲート
339 . . . Y側シフトレジスタの基本セル
341 . . . X側シフトレジスタのスタートパルス入力端子
342 . . . Y側シフトレジスタのスタートパルス入力端子
344 . . . ビデオ信号入力端子
20 CLX, CLX* . . . クロックCLXおよびクロックCLX*
CLY, CLY* . . . クロックCLYおよびクロックCLY*
P₁, P₂ . . . 図2の等価回路の点P₁および点P₂
Q₁, Q₂ . . . 図2の等価回路の点Q₁および点Q₂
R₁, R₂ . . . 図2の等価回路の点R₁および点R₂
V₁ . . . 図2の等価回路の点V₁
401 . . . 図2の点P₁での電圧波形
402 . . . 図2の点P₂での電圧波形
30 403 . . . 図2の点Q₁での電圧波形
404 . . . 図2の点Q₂での電圧波形
405 . . . 図2の点V₁での電圧波形
406 . . . 図2の点R₁での電圧波形
407 . . . 図2の点R₂での電圧波形
408 . . . ビデオ中心
411 . . . 図2のクロックCLYの電圧波形
412 . . . 図2のクロックCLXの電圧波形
501 . . . ソース線駆動回路
502 . . . ソース線駆動回路用クロックのパルス
40 補正回路
503 . . . ゲート線駆動回路
504 . . . ゲート線駆動回路用クロックのパルス
補正回路
505 . . . 画素マトリクス
506 . . . 透明な絶縁基板
507 . . . 薄膜トランジスタ
508 . . . 液晶セル
X₁, X₂, X₃ . . . ソース線
Y₁, Y₂, Y₃ . . . ゲート線
50 901 . . . ソース線駆動回路

(9)

17

902 . . . ソース線駆動回路用クロックのパルス補正回路

903 . . . ゲート線駆動回路

904 . . . ゲート線駆動回路用クロックのパルス補正回路

905 . . . 画素マトリクス

906 . . . 透明な絶縁基板

907 . . . 薄膜トランジスタ

908 . . . 液晶セル

X₁, X₂, X₃ . . . ソース線

Y₁, Y₂, Y₃ . . . ゲート線

1001 . . . ソース線駆動回路

1002 . . . X側シフトレジスタ

1003 . . . X側バッファ

1004 . . . ビデオ信号線

1005, 1005' . . . ソース線

1006, 1006' . . . アナログスイッチ

1007 . . . クロックCLXで規定されるクロックドインバータ

1008 . . . クロックCLX*で規定されるクロックドインバータ

1009 . . . インバータ

1010 . . . X側シフトレジスタの基本セル

1011 . . . ソース線駆動回路用クロックのパルス補正回路を構成するインバータ (1)

1012 . . . ソース線駆動回路用クロックのパルス補正回路を構成するインバータ (2)

1013 . . . ゲート線駆動回路

1014 . . . Y側シフトレジスタ

1015, 1015' . . . ゲート線

1016 . . . Y側バッファ

1017 . . . クロックCLYで規定されるクロックドインバータ

1018 . . . クロックCLY*で規定されるクロックドインバータ

1019 . . . インバータ

1020 . . . NOR論理ゲート

1021 . . . Y側シフトレジスタの基本セル

1022 . . . ゲート線駆動回路用クロックのパルス補正回路を構成するインバータ (1)

1023 . . . ゲート線駆動回路用クロックのパルス補正回路を構成するインバータ (2)

1024 . . . 画素マトリクス

1025, 1025' . . . 薄膜トランジスタ

1026, 1026' . . . 液晶セル

1101 . . . ソース線駆動回路

1102 . . . ソース線駆動回路用逆位相クロック発生回路

1103 . . . ゲート線駆動回路

1104 . . . ゲート線駆動回路用逆位相クロック

18

発生回路

1105 . . . 画素マトリクス

1106 . . . 透明な絶縁基板

1107 . . . 薄膜トランジスタ

1108 . . . 液晶セル

X₁, X₂, X₃ . . . ソース線

Y₁, Y₂, Y₃ . . . ゲート線

1301 . . . ソース線駆動回路

1302 . . . ソース線駆動回路用逆位相クロック発生回路

1303 . . . ゲート線駆動回路

1304 . . . ゲート線駆動回路用逆位相クロック発生回路

1305 . . . 画素マトリクス

1306 . . . 透明な絶縁基板

1307 . . . 薄膜トランジスタ

1308 . . . 液晶セル

X₁, X₂, X₃ . . . ソース線

Y₁, Y₂, Y₃ . . . ゲート線

1401 . . . ソース線駆動回路

1402 . . . X側シフトレジスタ

1403 . . . X側バッファ

1404 . . . ビデオ信号線

1405, 1405' . . . ソース線

1406, 1406' . . . アナログスイッチ

1407 . . . クロックCLXで規定されるクロックドインバータ

1408 . . . クロックCLX*で規定されるクロックドインバータ

1409 . . . インバータ

1410 . . . X側シフトレジスタの基本セル

1411 . . . ソース線駆動回路用逆位相クロック発生回路を構成するインバータ

1412 . . . ゲート線駆動回路

1413 . . . Y側シフトレジスタ

1414, 1414' . . . ゲート線

1415 . . . Y側バッファ

1416 . . . クロックCLYで規定されるクロックドインバータ

1417 . . . クロックCLY*で規定されるクロックドインバータ

1418 . . . インバータ

1419 . . . NOR論理ゲート

1420 . . . Y側シフトレジスタの基本セル

1421 . . . ゲート線駆動回路用逆位相クロック発生回路を構成するインバータ

1422 . . . 画素マトリクス

1423, 1423' . . . 薄膜トランジスタ

1424, 1424' . . . 液晶セル

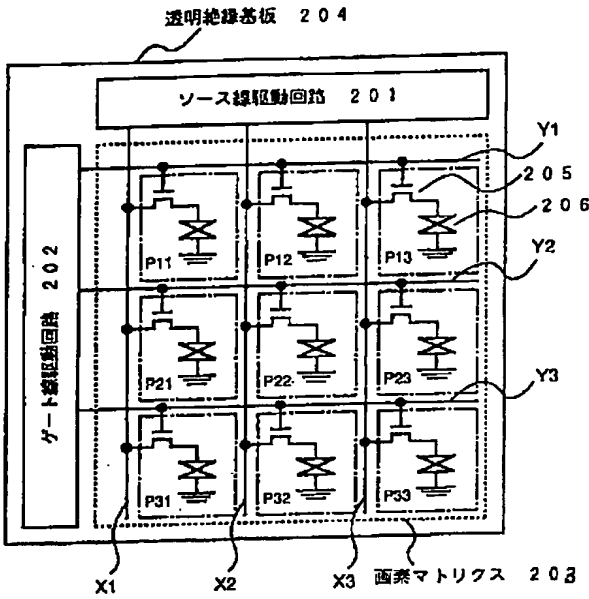
1501 . . . ソース線駆動回路

(10)

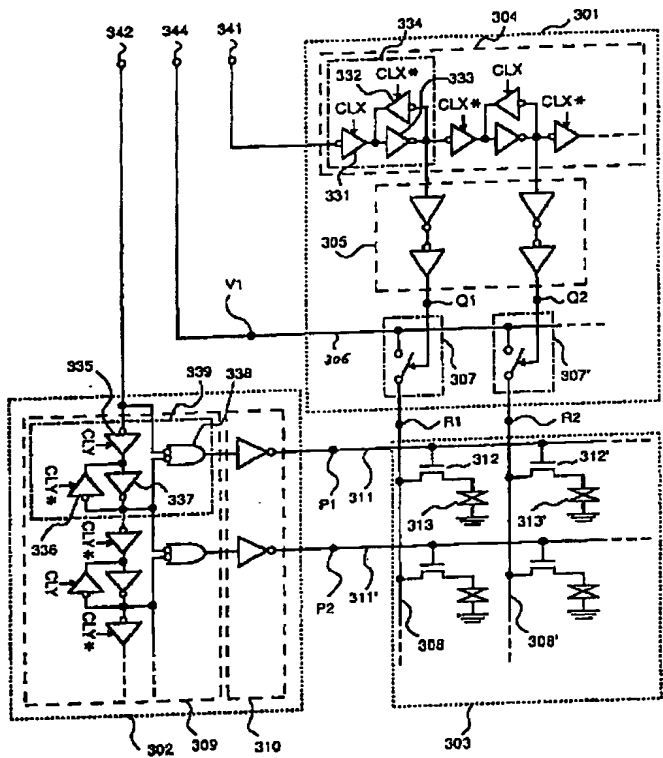
19	20
1502 . . . ソース線駆動回路用逆位相クロック発生回路	1907 . . . クロックCLXで規定されるクロックドインバータ
1503 . . . ソース線駆動回路用クロックのパルス補正回路	1908 . . . クロックCLX*で規定されるクロックドインバータ
1504 . . . ゲート線駆動回路	1909 . . . インバータ
1505 . . . ゲート線駆動回路用逆位相クロック発生回路	1910 . . . X側シフトレジスタの基本セル
1506 . . . ゲート線駆動回路用クロックのパルス補正回路	1911 . . . ソース線駆動回路用逆位相クロック発生回路を構成するインバータ
1507 . . . 画素マトリクス	1912 . . . ソース線駆動回路用クロックのパルス補正回路を構成するインバータ (1)
1508 . . . 透明な絶縁基板	1913 . . . ソース線駆動回路用クロックのパルス補正回路を構成するインバータ (2)
1509 . . . 薄膜トランジスタ	1914 . . . ソース線駆動回路用クロックのパルス補正回路
1510 . . . 液晶セル	1915 . . . ゲート線駆動回路
X ₁ , X ₂ , X ₃ . . . ソース線	1916 . . . Y側シフトレジスタ
Y ₁ , Y ₂ , Y ₃ . . . ゲート線	1917, 1917' . . . ゲート線
1801 . . . ソース線駆動回路	1918 . . . Y側バッファ
1802 . . . ソース線駆動回路用逆位相クロック発生回路	20 1919 . . . クロックCLYで規定されるクロックドインバータ
1803 . . . ソース線駆動回路用クロックのパルス補正回路	1920 . . . クロックCLY*で規定されるクロックドインバータ
1804 . . . ゲート線駆動回路	1921 . . . インバータ
1805 . . . ゲート線駆動回路用逆位相クロック発生回路	1922 . . . NOR論理ゲート
1806 . . . ゲート線駆動回路用クロックのパルス補正回路	1923 . . . Y側シフトレジスタの基本セル
1807 . . . 画素マトリクス	1924 . . . ゲート線駆動回路用逆位相クロック発生回路を構成するインバータ
1808 . . . 透明な絶縁基板	1925 . . . ゲート線駆動回路用クロックのパルス補正回路を構成するインバータ (1)
1809 . . . 薄膜トランジスタ	30 1926 . . . ゲート線駆動回路用クロックのパルス補正回路を構成するインバータ (2)
1810 . . . 液晶セル	1927 . . . ゲート線駆動回路用クロックのパルス補正回路
X ₁ , X ₂ , X ₃ . . . ソース線	1928 . . . 画素マトリクス
Y ₁ , Y ₂ , Y ₃ . . . ゲート線	1929, 1929' . . . 薄膜トランジスタ
1901 . . . ソース線駆動回路	1930, 1930' . . . 液晶セル
1902 . . . X側シフトレジスタ	
1903 . . . X側バッファ	
1904 . . . ビデオ信号線	
1905, 1905' . . . ソース線	
1906, 1906' . . . アナログスイッチ	

(11)

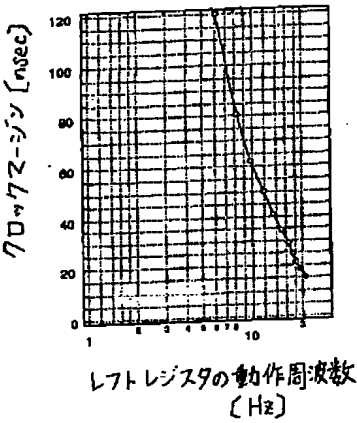
【図1】



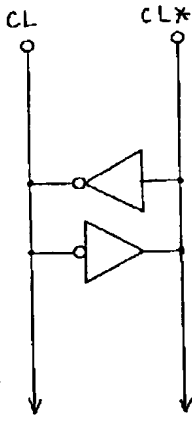
【図2】



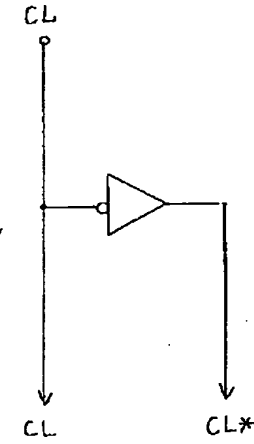
【図4】



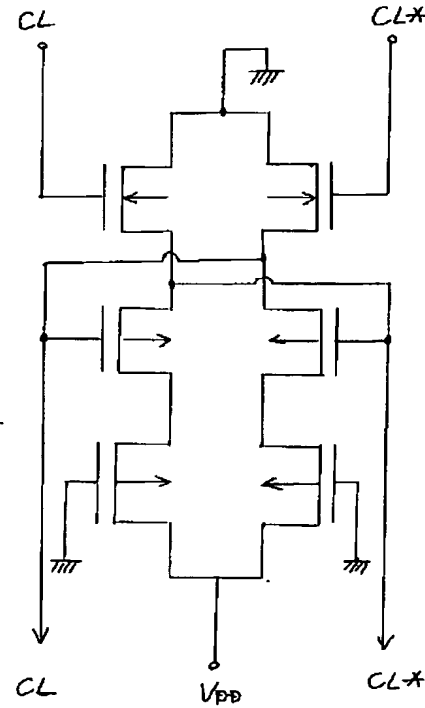
【図6】



【図12】

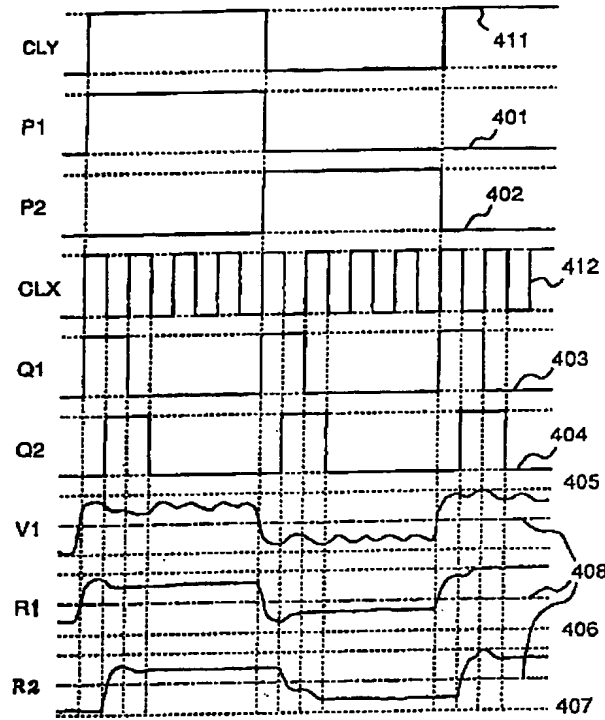


【図8】

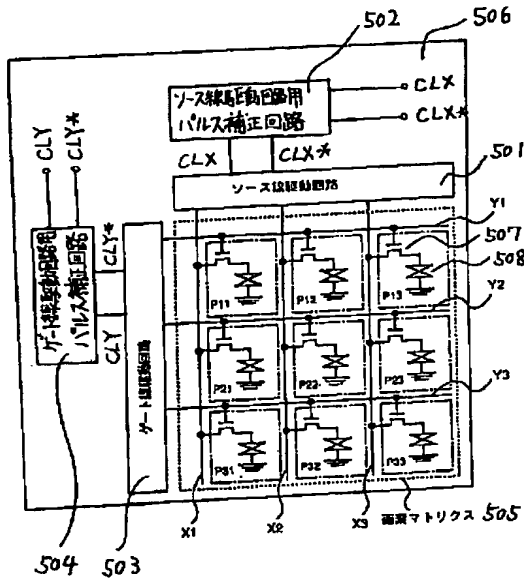


(12)

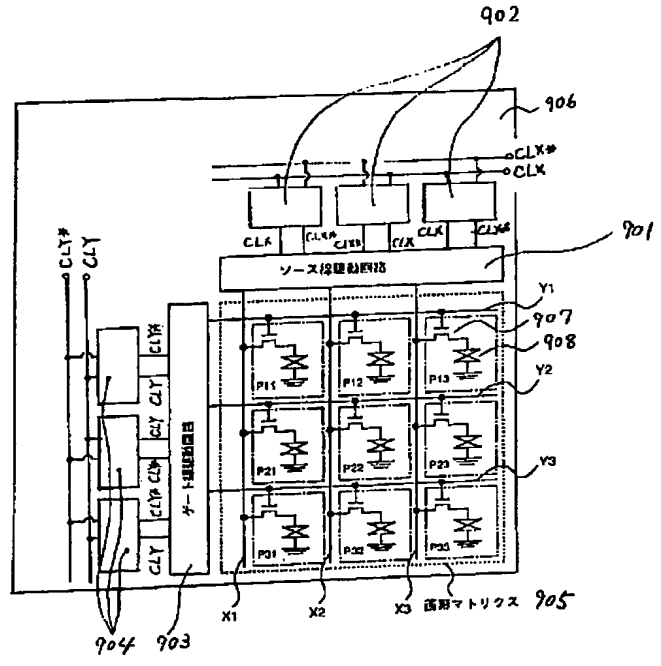
【図3】



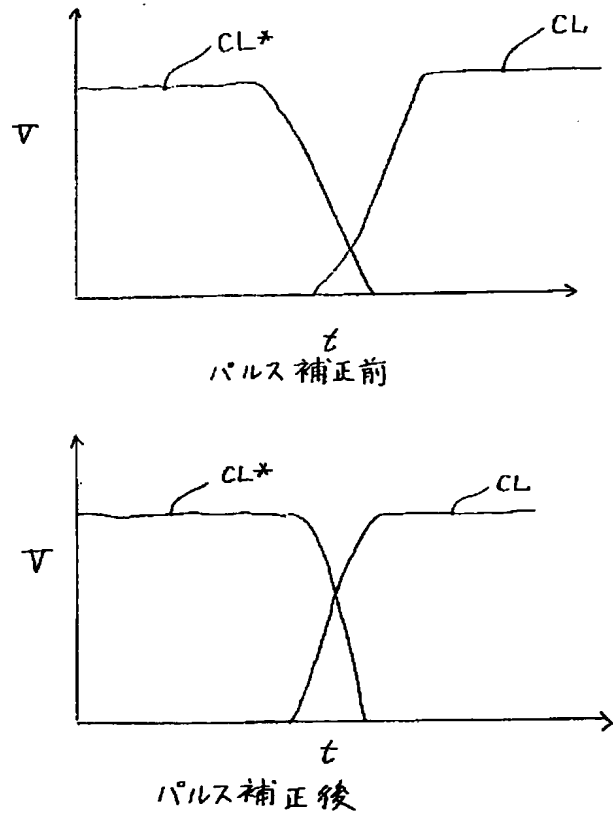
【図5】



【図9】

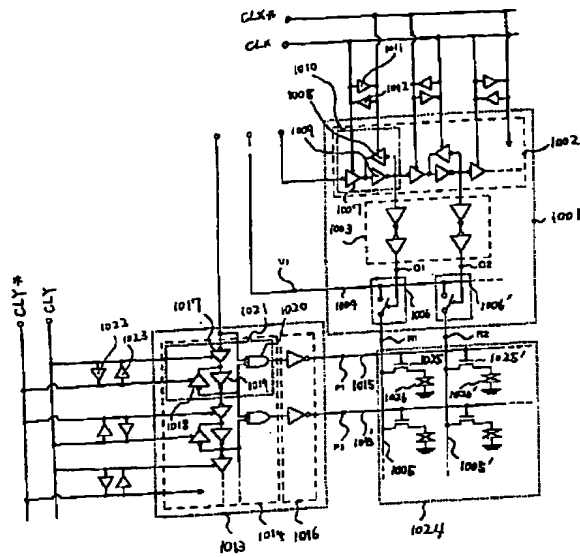


【図7】

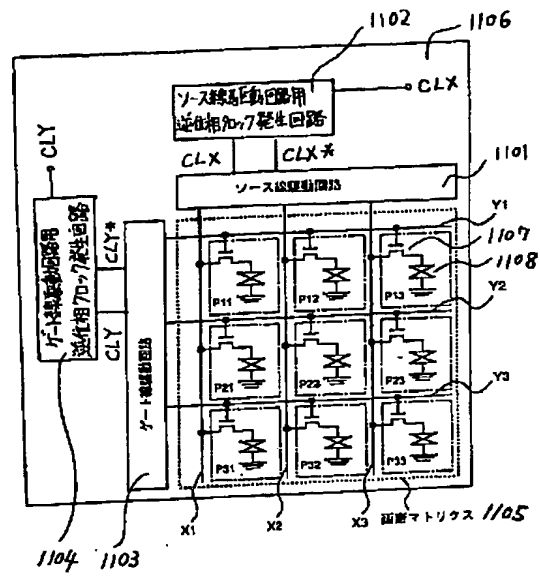


(13)

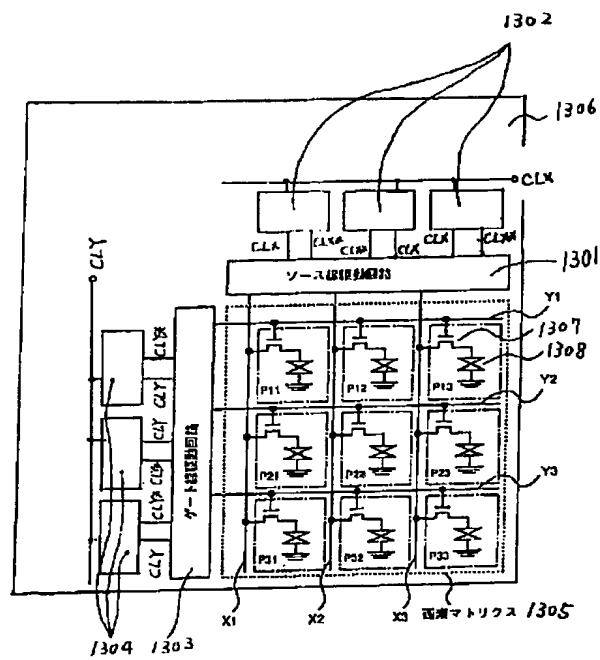
【図 10】



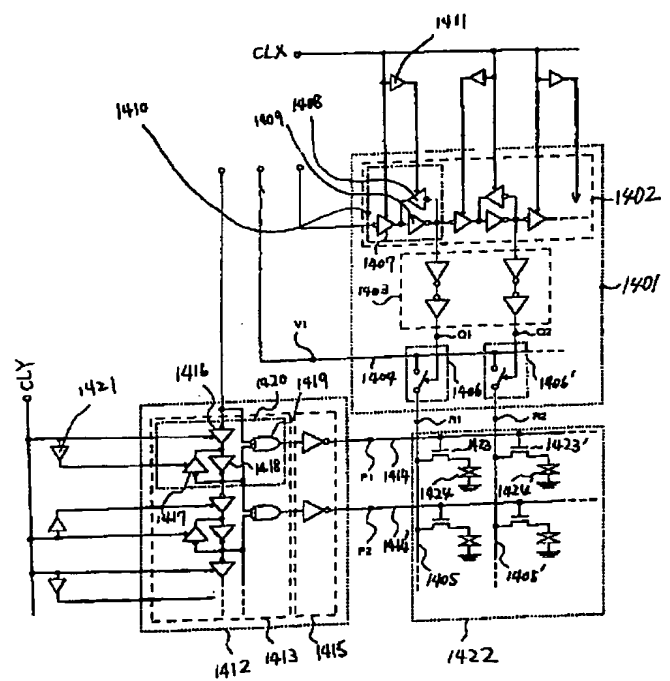
【图 1 1】



【图 13】



【图 14】

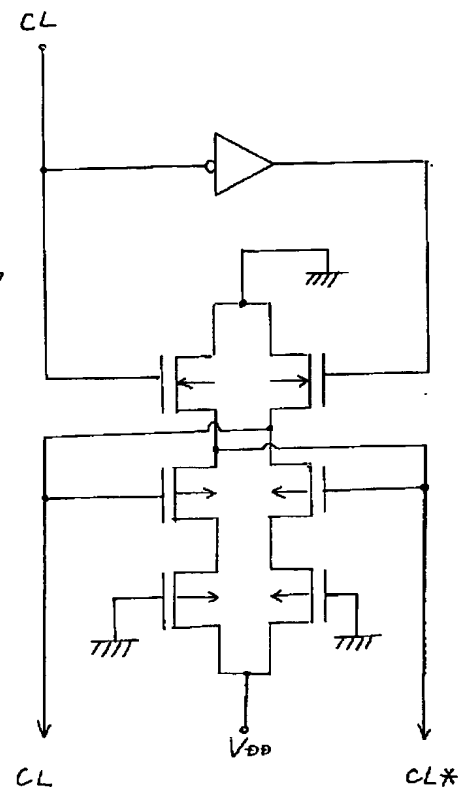
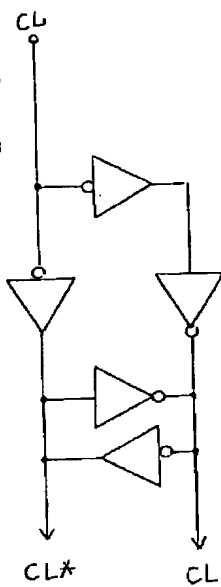
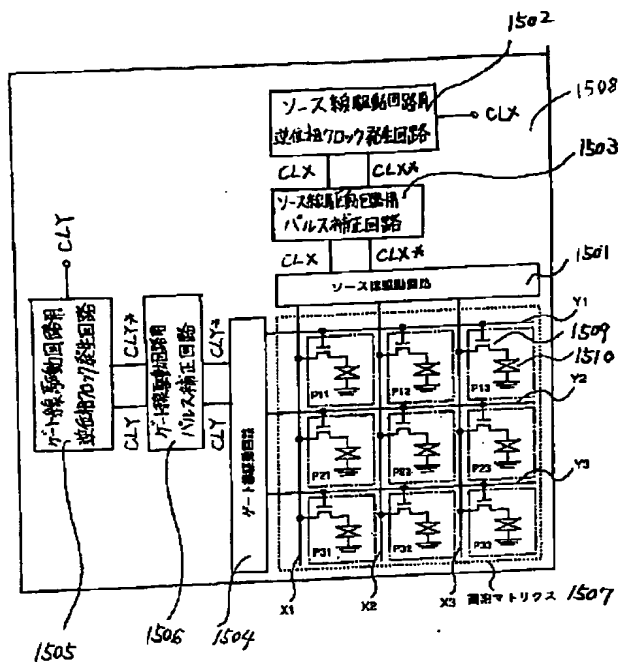


(14)

【図15】

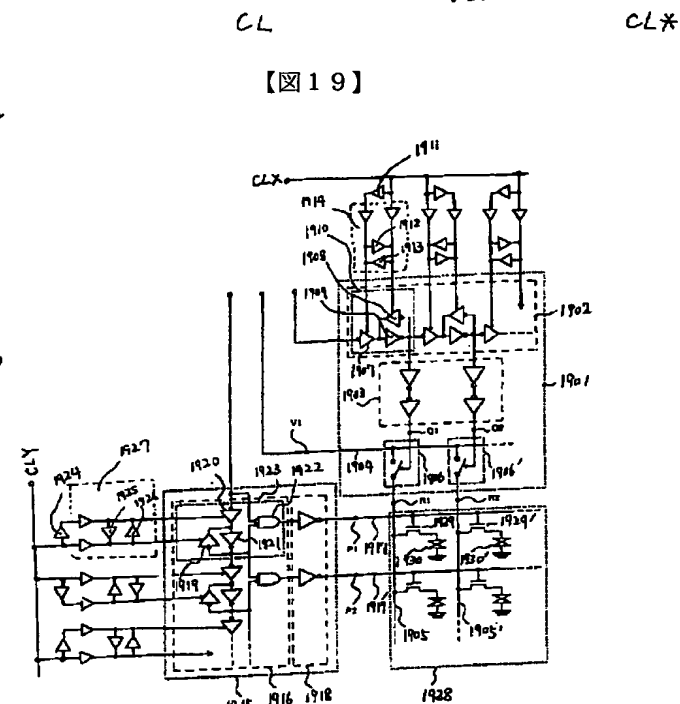
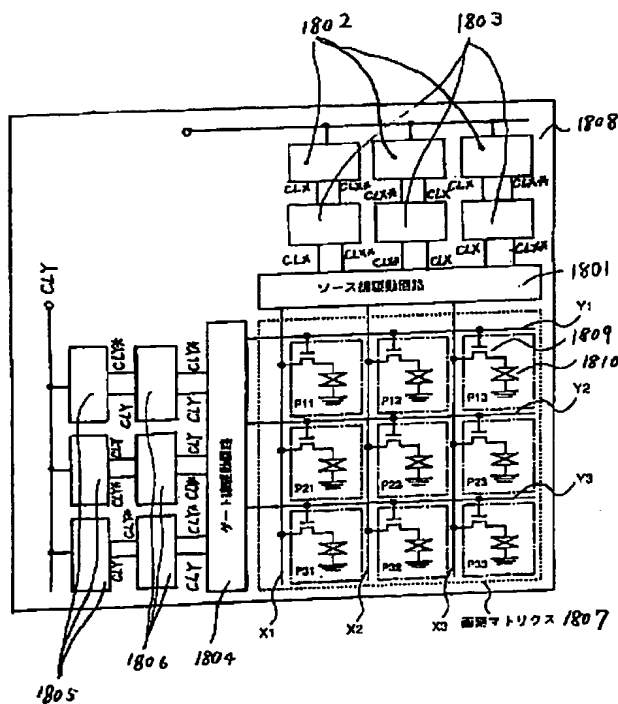
【図16】

【図17】



【図18】

【図19】



(15)

フロントページの続き

(56)参考文献 特開 平5-173167 (JP, A)
 特開 平2-170714 (JP, A)
 特開 昭59-58479 (JP, A)
 特開 昭62-40816 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)
 G02F 1/133 550
 G09G 3/36

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

(57) [Claim(s)]

[Claim 1] The phase contrast of a clock signal, the aforementioned clock signal, and the clock signal of an opposite phase An amendment pulse amendment circuit, The drive circuit where the aforementioned clock signal by which phase contrast was amended by the aforementioned pulse amendment circuit, and the clock signal of the aforementioned opposite phase are inputted, It has the pixel matrix to which the signal outputted from the aforementioned drive circuit is supplied. Display characterized by inputting the aforementioned clock signal and the clock signal of the aforementioned opposite phase into the portion from which two or more aforementioned pulse amendment circuits are prepared to the aforementioned drive circuit, and two or more pulse amendment circuits concerned to the aforementioned drive circuit differs.

[Claim 2] Two or more clock signal generating circuits which generate the aforementioned clock signal and the clock signal of an opposite phase by inputting a clock signal, The drive circuit where the aforementioned clock signal and the clock signal of the aforementioned opposite phase are inputted, Display with which it has the pixel matrix to which the signal outputted from the aforementioned drive circuit is supplied, two or more aforementioned clock signal generating circuits are prepared to the aforementioned drive circuit, and the aforementioned clock signal and the clock signal of the aforementioned opposite phase are characterized by being inputted into the portion from which the aforementioned drive circuit differs.

[Claim 3] The clock signal generating circuit which generates the aforementioned clock signal and the clock signal of an opposite phase by inputting a clock signal, The phase contrast of the aforementioned clock signal and the clock signal of the aforementioned opposite phase An amendment pulse amendment circuit, The drive circuit where the aforementioned clock signal by which phase contrast was amended by the aforementioned pulse amendment circuit, and the clock signal of the aforementioned opposite phase are inputted, It has the pixel matrix to which the signal outputted from the aforementioned drive circuit is supplied. Display characterized by inputting the aforementioned clock signal and the clock signal of an opposite phase into the portion from which two or more pulse amendment circuit and two or more clock signal generating circuits are prepared to the aforementioned drive circuit, and two or more pulse amendment circuits concerned to the aforementioned drive circuit differs.

[Claim 4] The drive circuit which a clock signal and the aforementioned clock signal, and the clock signal of an opposite phase are inputted, it is the drive circuit which supplies an output signal to a pixel matrix, two or more phase contrast of the aforementioned clock signal and the clock signal of the aforementioned opposite phase is prepared in an amendment pulse amendment circuit to the drive circuit concerned, and the aforementioned clock signal and the clock signal of the aforementioned opposite phase are inputted into the portion from which two or more pulse amendment circuits concerned to the aforementioned drive circuit differs, and is characterized by the bird clapper.

[Claim 5] The drive circuit which a clock signal and the aforementioned clock signal, and the clock signal of an opposite phase are inputted, and the clock signal and the aforementioned clock signal of an opposite phase of the clock signal concerned which is the drive circuit which supplies an output signal to

a pixel matrix, and was generated by inputting a clock signal into each of two or more clock signal generating circuits are inputted into the portion from which the aforementioned drive circuit corresponding to the clock signal generating circuit concerned differs, and is characterized by the bird clapper.

[Claim 6] A clock signal and the clock signal concerned, and the clock signal of an opposite phase are inputted. The clock signal of the opposite phase of the clock signal concerned which is the drive circuit which supplies an output signal to a pixel matrix, and was generated by inputting a clock signal into a clock signal generating circuit, The drive circuit which two or more phase contrast with the aforementioned clock signal is prepared in an amendment pulse amendment circuit to the drive circuit concerned, and the aforementioned clock signal and the clock signal of the aforementioned opposite phase are inputted into the portion from which two or more pulse amendment circuits concerned to the aforementioned drive circuit differs, and is characterized by the bird clapper.

[Claim 7] Display equipped with the drive circuit according to claim 4 to 6 and the pixel matrix to which the output signal from the aforementioned drive circuit is supplied.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the active-matrix type liquid crystal display which used TFT etc. for the SWITCHING element.

[0002]

[Description of the Prior Art] Conventionally, it is used for the liquid crystal display which displays visual-sense information using the electro-optics property of liquid crystal for the output unit of a computer picture, the viewfinder of carried type television, a video projector, and a video camera, etc., crossing variably.

[0003] Among these liquid crystal displays, at least, the pixel matrix 203 is formed on the same transparent insulating substrate 204, and the circuitry of the liquid crystal display of an active matrix using TFT as an active element serves as the source line drive circuit 201 and the gate line drive circuit 202, as shown to drawing 1 in a block diagram. among those, two or more source lines X1, X2, and X3 by which the pixel matrix 203 was connected to the source line drive circuit 201 -- with ... two or more gate lines Y1, Y2, and Y3 connected to the gate line drive circuit 202 -- with ... two or more pixels P11 and P12 formed in each intersection of these gate lines and a source line ... having -- each pixels P11 and P12 -- in ..., it has TFT 205 and a liquid crystal cell 206

[0004] The equal circuit composition of the liquid crystal display which has the above composition is explained using drawing 2. Drawing 2 is drawing explaining the equal circuit composition of an active-matrix type liquid crystal display. An equal circuit is roughly divided and consists of the source line drive circuit 301 and a gate line drive circuit 302, and a pixel matrix 303. According to the X side shift register 304 for sending out a latch signal serially, and the latch signal sent out from the aforementioned buffer 305 in the video signal to which the aforementioned latch signal was impressed by amplification, the buffer 305 for carrying out a ready wave, and the video signal line 306, shell composition of the aforementioned source line drive circuit 301 is carried out with a sample and analog switch 307, 307' for holding at source line 308, 308'. Here, the aforementioned X side shift register 304 is constituted by the unit in the primitive cell 334 which consists of the clocked inverter 331 specified with Clock CLX, a clocked inverter 332 specified by clock CLX*, and an inverter 333.

[0005] On the other hand, shell composition of the aforementioned gate line drive circuit 302 is carried out with the buffer 310 amplification and for carrying out a ready wave and sending out to gate line 311, 311' in the Y side shift register 309 and its aforementioned latch signal for sending out a latch signal serially. Here, the aforementioned Y side shift register 309 is constituted by the unit in the primitive cell 339 which serves as the clocked inverter 335 specified with Clock CLY, the clocked inverter 336 specified by clock CLY*, and an inverter 337 from the NOR gate 338.

[0006] moreover, the aforementioned pixel matrix 303 -- the aforementioned source line 308, 308 -- '... and the gate line 311, 311' -- TFT 312, 312 connected to ... '... and a liquid crystal cell 313, 313' -- it consists of ...

[0007] Next, an example of the drive method of the liquid crystal display shown in drawing 2 by the

representative circuit schematic is explained using drawing 2 and drawing 3 . Time series shows the voltage in the points P1, P2, Q1, Q2, R1, R2, and V1 of drawing 2 to drawing 3 . CLX expresses the clock of the X side shift register, and has become the relation of an opposite phase to CLX*. Similarly, CLY expresses the clock of the Y side shift register, and has become the relation of an opposite phase to CLY*. Here, it does not illustrate about CLX* and CLY*.

[0008] If the drive method is explained in order, the aforementioned Y side shift register 309 will output one half of the pulses of width of face of the period of the aforementioned clock CLY and CLY* to the aforementioned buffer 310 first according to the timing of the aforementioned clock CLY and CLY*. It amplifies, the aforementioned buffer 310 carries out the ready wave of the pulse, and the gate selection pulse 401 is outputted to the aforementioned gate line 311 (P1). this -- the above -- the gate -- selection -- a pulse -- 401 -- selection -- level -- it is -- between -- the gate -- a line -- 311 -- having connected -- plurality -- the above -- TFT -- 312,312 -- ' -- switch-on -- becoming -- this -- the gate -- a line -- 311 -- having connected -- plurality -- TFT -- 312,312 -- ' -- having connected -- the source -- a line -- 303,303 -- ' -- a liquid crystal cell -- 313,313 -- ' -- electric -- connecting . At this time, the aforementioned X side shift register 304 outputs the pulse of the same width of face as the period of the aforementioned clock to the aforementioned buffer 305 according to the timing of the aforementioned clock CLX and CLX*. It amplifies and the ready wave of the pulse is carried out, the sample hold signal 403 is outputted to an analog switch 307 (Q1), and the aforementioned analog switch 307 carries out sample hold of the video signal 405 of the aforementioned video signal line 306 (V1) to the aforementioned source line 308 (R1) according to the pulse. Since two or more aforementioned TFT 312 linked to the aforementioned gate line 311 is in switch-on at this time as stated previously, the signal held on the aforementioned source line 308 is written in the aforementioned liquid crystal cell 313. Similarly, analog switch 307' carries out sample hold of the aforementioned video signal 405 to source line 308'. The signal which carried out sample hold is written in aforementioned source line 308' by this at aforementioned liquid crystal cell 313'. By repeating this by the aforementioned source line drive circuit 301 side, the aforementioned video signal 405 can be written in the liquid crystal cell of two or more pixels linked to the aforementioned gate line 311.

[0009] Next, after the aforementioned gate selection pulse 401 is set to non-choosing level, the gate selection pulse 402 is outputted from the aforementioned gate line drive circuit 302. If the aforementioned source line drive circuit 301 is driven the same with having mentioned above while this aforementioned gate selection pulse 402 is selection level, the aforementioned video signal 405 can be written in the liquid crystal cell of two or more pixels linked to aforementioned gate line 311'.

[0010] By repeating the above operation, it becomes possible to write in a video signal per liquid crystal cell of each pixel, and a picture can be acquired by changing the polarization state of each liquid crystal cell according to the signal written in the liquid crystal cell.

[0011]

[Problem(s) to be Solved by the Invention] In the liquid crystal display of the above-mentioned active matrix, if the timing of the aforementioned clock CLX, CLX* or the aforementioned clock CLY, and CLY* shifts and phase contrast arises, it is known that a shift register will malfunction. Drawing 4 is the graph which showed correlation of the tolerance (clock margin) of the drive frequency of a shift register, and the phase contrast of a clock. Thus, if the drive frequency of a shift register becomes high, in connection with it, a clock margin will become small, and a clock margin will be set to less than 20ns if drive frequency exceeds 17-18MHz. This means becoming easy to start a malfunction, so that the performance of a transistor improves and improvement in the speed of a circuit is made.

[0012] Then, it aims at offering the liquid crystal display in which high-speed operation is possible that the above-mentioned technical problem is solved by the circuit design, and it is hard to start a malfunction in this invention.

[0013]

[Means for Solving the Problem] In order to attain the above-mentioned purpose the 1st display of this invention The phase contrast of a clock signal, the aforementioned clock signal, and the clock signal of an opposite phase An amendment pulse amendment circuit, The drive circuit where the aforementioned

clock signal by which phase contrast was amended by the aforementioned pulse amendment circuit, and the clock signal of the aforementioned opposite phase are inputted, It has the pixel matrix to which the signal outputted from the aforementioned drive circuit is supplied. Two or more aforementioned pulse amendment circuits are prepared to the aforementioned drive circuit, and it is characterized by inputting the aforementioned clock signal and the clock signal of the aforementioned opposite phase into the portion from which two or more pulse amendment circuits concerned to the aforementioned drive circuit differs. Two or more clock signal generating circuits where the 2nd display of this invention generates the aforementioned clock signal and the clock signal of an opposite phase by inputting a clock signal, The drive circuit where the aforementioned clock signal and the clock signal of the aforementioned opposite phase are inputted, It has the pixel matrix to which the signal outputted from the aforementioned drive circuit is supplied, two or more aforementioned clock signal generating circuits are prepared to the aforementioned drive circuit, and the aforementioned clock signal and the clock signal of the aforementioned opposite phase are characterized by being inputted into the portion from which the aforementioned drive circuit differs. The clock signal generating circuit where the 3rd display of this invention generates the aforementioned clock signal and the clock signal of an opposite phase by inputting a clock signal, The phase contrast of the aforementioned clock signal and the clock signal of the aforementioned opposite phase An amendment pulse amendment circuit, The drive circuit where the aforementioned clock signal by which phase contrast was amended by the aforementioned pulse amendment circuit, and the clock signal of the aforementioned opposite phase are inputted, It has the pixel matrix to which the signal outputted from the aforementioned drive circuit is supplied. Two or more pulse amendment circuit and two or more clock signal generating circuits are prepared to the aforementioned drive circuit, and it is characterized by inputting the aforementioned clock signal and the clock signal of an opposite phase into the portion from which two or more pulse amendment circuits concerned to the aforementioned drive circuit differs.

[0014] A clock signal and the aforementioned clock signal, and the clock signal of an opposite phase are inputted, it is the drive circuit which supplies an output signal to a pixel matrix, two or more phase contrast of the aforementioned clock signal and the clock signal of the aforementioned opposite phase is prepared in an amendment pulse amendment circuit to the drive circuit concerned, the aforementioned clock signal and the clock signal of the aforementioned opposite phase are inputted into the portion from which two or more pulse amendment circuits concerned to the aforementioned drive circuit differs, and the 1st drive circuit of this invention carries out a bird clapper as the feature A clock signal and the aforementioned clock signal, and the clock signal of an opposite phase are inputted, it is the drive circuit which supplies an output signal to a pixel matrix, and the clock signal and the aforementioned clock signal of an opposite phase of the clock signal concerned generated by inputting a clock signal into each of two or more clock signal generating circuits are inputted into the portion from which the aforementioned drive circuit corresponding to the clock signal generating circuit concerned differs, and the 2nd drive circuit of this invention is characterized by the bird clapper. As for the 3rd drive circuit of this invention, a clock signal and the clock signal concerned, and the clock signal of an opposite phase are inputted. The clock signal of the opposite phase of the clock signal concerned which is the drive circuit which supplies an output signal to a pixel matrix, and was generated by inputting a clock signal into a clock signal generating circuit, Two or more phase contrast with the aforementioned clock signal is prepared in an amendment pulse amendment circuit to the drive circuit concerned, the aforementioned clock signal and the clock signal of the aforementioned opposite phase are inputted into the portion from which two or more pulse amendment circuits concerned to the aforementioned drive circuit differs, and the feature of the bird clapper is carried out. The 4th display of this invention is characterized by having the pixel matrix to which the output signal from an above-mentioned drive circuit and the above-mentioned drive circuit concerned is supplied.

[0015] The second is the method of building in an opposite phase clock signal generating circuit on the same substrate. One of the causes which the phase contrast of a clock signal and an opposite phase clock signal produces is because the parasitic capacitance of a clock signal line and an opposite phase clock signal line differs from parasitism resistance. Therefore, it becomes easy to produce phase contrast, so

that the generating section of a clock signal and an opposite phase clock signal and the distance between shift registers are large. By building in an opposite phase clock signal generating circuit on the same substrate, this distance becomes short and can lessen phase contrast of a clock. By the way, as for these two circuits, preparing just before a shift register is effective. Therefore, it can be called a method with most ideal preparing these circuits for every bit. Moreover, it is still more effective if a pulse amendment circuit and an opposite phase clock signal generating circuit are combined.

[0016]

[Function] The phase contrast of a clock decreases in the liquid crystal display of the active matrix which provided the above-mentioned means. The circuit which this high-speed-operation-makes a malfunction hard to start becomes realizable, and high-reliability and a highly minute liquid crystal display can be offered.

[0017]

[Example]

(Example 1) The liquid crystal display of the active matrix which carried out this invention is explained using drawing 5 , drawing 6 , drawing 7 , and drawing 8 .

[0018] Drawing 5 is drawing explaining the circuitry. It comes to form the liquid crystal display of the active matrix of this invention on the source line drive circuit 501, the pulse amendment circuit 502 of the clock for the source line drive circuits 501 and the gate line drive circuit 503, the pulse amendment circuit 504 of the clock for the gate line drive circuits 503, and the transparent insulating substrate 506 with the pixel matrix 505 same at least. among those, two or more source lines X1, X2, and X3 by the pixel matrix 505 was connected to the source line drive circuit 501 -- with ... two or more gate lines Y1, Y2, and Y3 connected to the gate line drive circuit 503 -- with ... two or more pixels P11 and P12 formed in each intersection of these gate lines and a source line ... having -- each pixels P11 and P12 -- in ..., it has TFT 507 and a liquid crystal cell 508 Phase contrast is amended by the pulse amendment circuit 502, and the clock for the source line drive circuits 501 (CLX, CLX*) is inputted into the source line drive circuit 501. Similarly, phase contrast is amended by the pulse amendment circuit 504, and the clock for the gate line drive circuits 503 (CLY, CLY*) is inputted into the gate line drive circuit 503.

[0019] In the liquid crystal display which has the above circuitry, an example of the pulse amendment circuits 502 and 504 is explained using the equal circuit of drawing 6 . In this circuit, feedback has started between the clock signal line and the opposite phase clock signal line, and it is set up so that it may always become an opposite phase. Therefore, temporarily, a clock signal and an opposite phase clock signal are simultaneously possible for an amendment thing in it, "H" or when it is simultaneously set to "L."

[0020] Drawing 7 compares with the signal wave form after letting it pass in a pulse amendment circuit the wave of the clock signal which phase contrast produced, and an opposite phase clock signal. Phase contrast is reduced by the pulse amendment circuit.

[0021] If it considers as a pulse amendment circuit, you may use a flip-flop circuit as shown in drawing 8 etc.

[0022] (Example 2) Other examples of this invention are explained using drawing 9 and drawing 10 .

[0023] Drawing 9 is drawing explaining the circuitry. It comes to form the liquid crystal display of the active matrix of this invention on the source line drive circuit 901, the pulse amendment circuit 902 of the clock for the source line drive circuits 901 and the gate line drive circuit 903, the pulse amendment circuit 904 of the clock for the gate line drive circuits 903, and the transparent insulating substrate 906 with the pixel matrix 905 same at least. among those, two or more source lines X1, X2, and X3 by the pixel matrix 905 was connected to the source line drive circuit 901 -- with ... two or more gate lines Y1, Y2, and Y3 connected to the gate line drive circuit 903 -- with ... two or more pixels P11 and P12 formed in each intersection of these gate lines and a source line ... having -- each pixels P11 and P12 -- in ..., it has TFT 907 and a liquid crystal cell 908 Phase contrast is amended by the pulse amendment circuit 902 for every bit, and the clock for the source line drive circuits 901 (CLX, CLX*) is inputted into the source line drive circuit 901. Similarly, phase contrast is amended by the pulse amendment circuit 904 for every bit, and the clock for the gate line drive circuits 903 (CLX, CLX*) is inputted into

the gate line drive circuit 903.

[0024] In the liquid crystal display which has the above circuitry, an example of a source line drive circuit and the pulse amendment circuit of the clock for source line drive circuits is explained using the equal circuit of drawing 10. The source line drive circuit 1001 is constituted from a sample, an analog switch 1006 to hold, and 1006' by the source line 1005 and 1005' according to the X side shift register 1002 for sending out a latch signal serially, and the latch signal sent [signal / latch / the] out from a buffer 1003 in amplification, the buffer 1003 for carrying out a ready wave, and the video signal of the video signal line 1004. Here, the X side shift register 1002 is constituted by the unit in the primitive cell 1010 which consists of the clocked inverter 1007 specified with Clock CLX, a clocked inverter 1008 specified by clock CLX*, and an inverter 1009. CLX expresses the clock of the X side shift register, and has become the relation of an opposite phase to CLX*. Phase contrast is amended by the pulse amendment circuit which consists of two inverters 1011 and 1012 connected for every bit unit, and this CLX and CLX* is inputted into the clocked inverter 1007 specified with Clock CLX, and the clocked inverter 1008 specified by clock CLX*. On the other hand, the aforementioned gate line drive circuit 1013 consists of buffers 1016 amplification and for carrying out a ready wave and sending out to the gate line 1015 and 1015' in the Y side shift register 1014 and its latch signal for sending out a latch signal serially. Here, the aforementioned Y side shift register 1014 is constituted by the unit in the primitive cell 1021 which serves as the clocked inverter 1017 specified with Clock CLY, the clocked inverter 1018 specified by clock CLY*, and an inverter 1019 from the NOR gate 1020. CLY expresses the clock of the Y side shift register, and has become the relation of an opposite phase to CLY*. Phase contrast is amended by the pulse amendment circuit which consists of two inverters 1022 and 1023 connected for every bit unit, and this CLY and CLY* is inputted into the clocked inverter 1017 specified with Clock CLY, and the clocked inverter 1018 specified by clock CLY*. moreover -- a pixel -- a matrix -- 1024 -- the above -- the source -- a line -- 1005 -- 1005 -- ' -- and -- the gate -- a line -- 1015 -- 1015 -- ' -- connecting -- having had -- TFT -- 1025 -- 1025 -- ' -- a liquid crystal cell -- 1026 -- 1026 -- ' -- from -- constituting -- having .

[0025] (Example 3) Other examples of this invention are explained using drawing 11 and drawing 12.

[0026] Drawing 11 is drawing explaining the circuitry. It comes to form the liquid crystal display of the active matrix of this invention on the source line drive circuit 1101, the opposite phase clock generation circuit 1102 for the source line drive circuits 1101 and the gate line drive circuit 1103, the opposite phase clock generation circuit 1104 of the clock for the gate line drive circuits 1103, and the transparent insulating substrate 1106 with the pixel matrix 1105 same at least. among those, two or more source lines X1, X2, and X3 by which the pixel matrix 1105 was connected to the source line drive circuit 1101 -- with ... two or more gate lines Y1, Y2, and Y3 connected to the gate line drive circuit 1103 -- with ... two or more pixels P11 and P12 formed in each intersection of these gate lines and a source line ... having -- each pixels P11 and P12 -- in ..., it has TFT 1107 and a liquid crystal cell 1108 The opposite phase clock for source line drive circuit 1101 (CLX*) can be formed in inputting the clock (CLX) for the source line drive circuits 1101 into the opposite phase clock generation circuit 1102 for the source line drive circuits 1101. Furthermore, a circuit operates in inputting these clocks (CLX, CLX*) into the source line drive circuit 1101. The opposite phase clock for gate line drive circuit 1103 (CLY*) can be similarly formed in inputting the clock (CLY) for the gate line drive circuits 1103 into the opposite phase clock generation circuit 1104 for the gate line drive circuits 1103. Furthermore, a circuit operates in inputting these clocks (CLY, CLY*) into the gate line drive circuit 1103.

[0027] The easiest opposite phase clock generation circuit is an inverter as shown in drawing 12. In this case, a clock and opposite phase clock phase contrast are determined by delay of an inverter. Therefore, the value changes with the properties and device parameters of TFT which constitute an inverter. However, generally it is about several ns and is far small as compared with the phase contrast when inputting a clock and an opposite phase clock from the outside.

[0028] (Example 4) Other examples of this invention are explained using drawing 13 and drawing 14.

[0029] Drawing 13 is drawing explaining the circuitry. It comes to form the liquid crystal display of the active matrix of this invention on the source line drive circuit 1301, the opposite phase clock generation

circuit 1302 for the source line drive circuits 1301 and the gate line drive circuit 1303, the opposite phase clock generation circuit 1304 for the gate line drive circuits 1303, and the transparent insulating substrate 1306 with the pixel matrix 1305 same at least. among those, two or more source lines X1, X2, and X3 by which the pixel matrix 1305 was connected to the source line drive circuit 1301 -- with ... two or more gate lines Y1, Y2, and Y3 connected to the gate line drive circuit 1303 -- with ... two or more pixels P11 and P12 formed in each intersection of these gate lines and a source line ... having -- each pixels P11 and P12 -- in ..., it has TFT 1307 and a liquid crystal cell 1308 The clock (CLX) for the source line drive circuits 1301 and the opposite phase clock (CLX*) formed by the opposite phase clock generation circuit 1302 for the source line drive circuits 1301 are inputted into the source line drive circuit 1301 for every bit. The clock (CLY) for the gate line drive circuits 1303 and the opposite phase clock (CLY*) formed by the opposite phase clock generation circuit 1304 for the gate line drive circuits 1303 are similarly inputted into the gate line drive circuit 1303 for every bit.

[0030] In the liquid crystal display which has the above circuitry, an example of a source line drive circuit and the opposite phase clock generation circuit for source line drive circuits is explained using the equal circuit of drawing 14 . The source line drive circuit 1401 is constituted from a sample, an analog switch 1406 to hold, and 1406' by the source line 1405 and 1405' according to the X side shift register 1402 for sending out a latch signal serially, and the latch signal sent [signal / latch / the] out from a buffer 1403 in amplification, the buffer 1403 for carrying out a ready wave, and the video signal of the video signal line 1404. Here, the X side shift register 1402 is constituted by the unit in the primitive cell 1410 which consists of the clocked inverter 1407 specified with Clock CLX, a clocked inverter 1408 specified by clock CLX*, and an inverter 1409. CLX expresses the clock of the X side shift register, and has become the relation of an opposite phase to CLX*. This CLX is inputted into the clocked inverter 1407 specified with Clock CLX. Moreover, CLX* is formed of the opposite phase clock generation circuit which consists of an inverter 1411 connected for every bit unit, and is inputted into the clocked inverter 1408 specified by clock CLX*. On the other hand, the aforementioned gate line drive circuit 1412 consists of buffers 1415 amplification and for carrying out a ready wave and sending out to the gate line 1414 and 1414' in the Y side shift register 1413 and its latch signal for sending out a latch signal serially. Here, the aforementioned Y side shift register 1413 is constituted by the unit in the primitive cell 1420 which serves as the clocked inverter 1416 specified with Clock CLY, the clocked inverter 1417 specified by clock CLY*, and an inverter 1418 from the NOR gate 1419. CLY expresses the clock of the Y side shift register, and has become the relation of an opposite phase to CLY*. This CLY is inputted into the clocked inverter 1416 specified with Clock CLY. Moreover, CLY* is formed of the opposite phase clock generation circuit which consists of an inverter 1421 connected for every bit unit, and is inputted into the clocked inverter 1417 specified by clock CLX*. moreover -- a pixel -- a matrix -- 1422 -- the above -- the source -- a line -- 1405 -- 1405 -- ' -- and -- the gate -- a line -- 1414 -- 1414 -- ' -- connecting -- having had -- TFT -- 1423 -- 1423 -- ' -- a liquid crystal cell -- 1424 -- 1424 -- ' -- from -- constituting -- having .

[0031] (Example 5) Other examples of this invention are explained using drawing 15 , drawing 16 , and drawing 17 .

[0032] Drawing 15 is drawing explaining the circuitry. It comes to form the liquid crystal display of the active matrix of this invention on the source line drive circuit 1501, the opposite phase clock generation circuit 1502 for the source line drive circuits 1501, the pulse amendment circuit 1503 of the clock for the source line drive circuits 1501 and the gate line drive circuit 1504, the opposite phase clock generation circuit 1505 of the clock for the gate line drive circuits 1504, the pulse amendment circuit 1506 of the clock for the gate line drive circuits 1504, and the transparent insulating substrate 1508 with the pixel matrix 1507 same at least among those, two or more source lines X1, X2, and X3 by which the pixel matrix 1507 was connected to the source line drive circuit 1501 -- with ... two or more gate lines Y1, Y2, and Y3 connected to the gate line drive circuit 1504 -- with ... two or more pixels P11 and P12 formed in each intersection of these gate lines and a source line ... having -- each pixels P11 and P12 -- in ..., it has TFT 1509 and a liquid crystal cell 1510 The opposite phase clock for source line drive circuit 1501 (CLX*) can be formed in inputting the clock (CLX) for the source line drive circuits 1501

into the opposite phase clock generation circuit 1502 for the source line drive circuits 1501. Furthermore, these clocks (CLX, CLX*) are inputted into the source line drive circuit 1501 after the pulse amendment circuit 1503 of the clock for the source line drive circuits 1501 amends phase contrast. The opposite phase clock for gate line drive circuit 1504 (CLY*) can be similarly formed in inputting the clock (CLY) for the gate line drive circuits 1504 into the opposite phase clock generation circuit 1505 for the gate line drive circuits 1504. Furthermore, these clocks (CLY, CLY*) are inputted into the gate line drive circuit 1504 after the pulse amendment circuit 1506 of the clock for the gate line drive circuits 1504 amends phase contrast.

[0033] In the liquid crystal display which has the above circuitry, an example of the circuit which combined the opposite phase clock generation circuit and the pulse amendment circuit is explained using the equal circuit of drawing 16. In this circuit, a clock signal is reversed by the inverter and an opposite phase clock signal is formed. At this time, the phase contrast between the clock produced by delay of an inverter and an opposite phase clock is amended so that it may always become an opposite phase by the pulse amendment circuit.

[0034] If it considers as the circuit which combined the opposite phase clock generation circuit and the pulse amendment circuit, a circuit as shown in drawing 17 etc. is sufficient.

[0035] (Example 6) Other examples of this invention are explained using drawing 18 and drawing 19.

[0036] Drawing 18 is drawing explaining the circuitry. It comes to form the liquid crystal display of the active matrix of this invention on the source line drive circuit 1801, the opposite phase clock generation circuit 1802 for the source line drive circuits 1801, the pulse amendment circuit 1803 of the clock for the source line drive circuits 1801 and the gate line drive circuit 1804, the opposite phase clock generation circuit 1805 for the gate line drive circuits 1804, the pulse amendment circuit 1806 of the clock for the gate line drive circuits 1804, and the transparent insulating substrate 1808 with the pixel matrix 1807 same at least. among those, two or more source lines X1, X2, and X3 by which the pixel matrix 1807 was connected to the source line drive circuit 1801 -- with ... two or more gate lines Y1, Y2, and Y3 connected to the gate line drive circuit 1804 -- with ... two or more pixels P11 and P12 formed in each intersection of these gate lines and a source line ... having -- each pixels P11 and P12 -- in ..., it has TFT 1809 and a liquid crystal cell 1810 Here, an opposite phase clock (CLX*) is formed for every bit by the clock (CLX) for the source line drive circuits 1801, and the opposite phase clock generation circuit 1802 for the source line drive circuits 1801. Furthermore, the pulse amendment circuit 1803 of the clock for the source line drive circuits 1801 amends phase contrast, and these clocks (CLX, CLX*) are inputted into the source line drive circuit 1801. An opposite phase clock (CLY*) is similarly formed for every bit by the clock (CLY) for the gate line drive circuits 1804, and the opposite phase clock generation circuit 1805 for the gate line drive circuits 1804. Furthermore, the pulse amendment circuit 1806 of the clock for the gate line drive circuits 1804 amends phase contrast, and these clocks (CLY, CLY*) are inputted into the source line drive circuit 1804.

[0037] In the liquid crystal display which has the above circuitry, an example of a source line drive circuit, the opposite phase clock generation circuit for source line drive circuits, and the pulse amendment circuit for source line drive circuits is explained using the equal circuit of drawing 19. The source line drive circuit 1901 is constituted from a sample, an analog switch 1906 to hold, and 1906' by the source line 1905 and 1905' according to the X side shift register 1902 for sending out a latch signal serially, and the latch signal sent [signal / latch / the] out from a buffer 1903 in amplification, the buffer 1903 for carrying out a ready wave, and the video signal of the video signal line 1904. Here, the X side shift register 1902 is constituted by the unit in the primitive cell 1910 which consists of the clocked inverter 1907 specified with Clock CLX, a clocked inverter 1908 specified by clock CLX*, and an inverter 1909. CLX expresses the clock of the X side shift register, and has become the relation of an opposite phase to CLX*. This CLX is inputted into the clocked inverter 1907 specified with Clock CLX. Moreover, CLX* is formed of the opposite phase clock generation circuit which consists of an inverter 1911 connected for every bit unit, and after it amends phase contrast with Clock CLX by the pulse amendment circuit 1914 which consists of inverters 1912 and 1913, it is inputted into the clocked inverter 1908 specified by clock CLX*. On the other hand, the aforementioned gate line drive circuit

1915 consists of buffers 1918 amplification and for carrying out a ready wave and sending out to the gate line 1917 and 1917' in the Y side shift register 1916 and its latch signal for sending out a latch signal serially. Here, the aforementioned Y side shift register 1916 is constituted by the unit in the primitive cell 1923 which serves as the clocked inverter 1919 specified with Clock CLY, the clocked inverter 1920 specified by clock CLY*, and an inverter 1921 from the NOR gate 1922. CLY expresses the clock of the Y side shift register, and has become the relation of an opposite phase to CLY*. This CLY is inputted into the clocked inverter 1919 specified with Clock CLY. Moreover, CLY* is formed of the opposite phase clock generation circuit which consists of an inverter 1924 connected for every bit unit, and after it amends phase contrast with Clock CLY by the pulse amendment circuit 1927 which consists of inverters 1925 and 1926, it is inputted into the clocked inverter 1920 specified by clock CLY*. moreover -- a pixel -- a matrix -- 1928 -- the above -- the source -- a line -- 1905 -- 1905 -- ' -- and -- the gate -- a line -- 1917 -- 1917 -- ' -- connecting -- having had -- TFT -- 1929 -- 1929 -- ' -- a liquid crystal cell -- 1930 -- 1930 -- ' -- from -- constituting -- having .

[0038]

[Effect of the Invention] In the liquid crystal display of the active matrix which provided the above-mentioned means, the phase contrast of a clock decreases, and this cannot start a malfunction easily, and high-speed operation becomes possible. A highly minute liquid crystal display reliable as a result can be offered. Furthermore, the miniaturization of a circuit also becomes realizable while being able to reduce the burden of an external circuit sharply since the number of the clocks inputted from the outside becomes half, when an opposite phase clock signal generating circuit is built in.

[Translation done.]

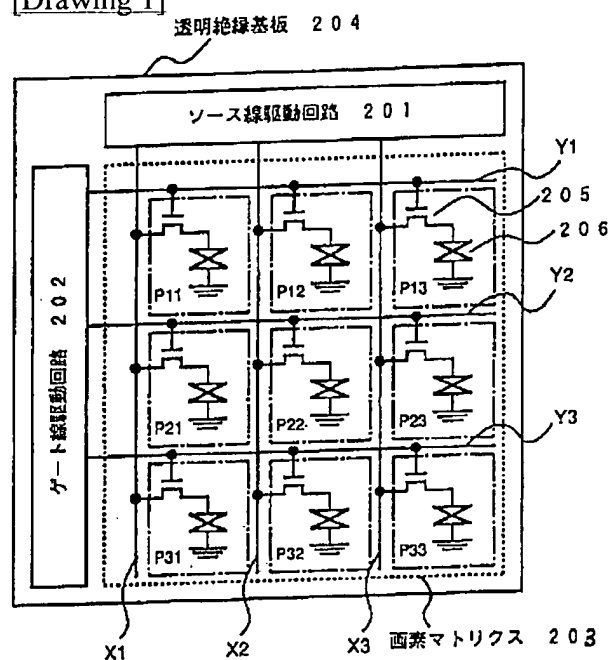
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

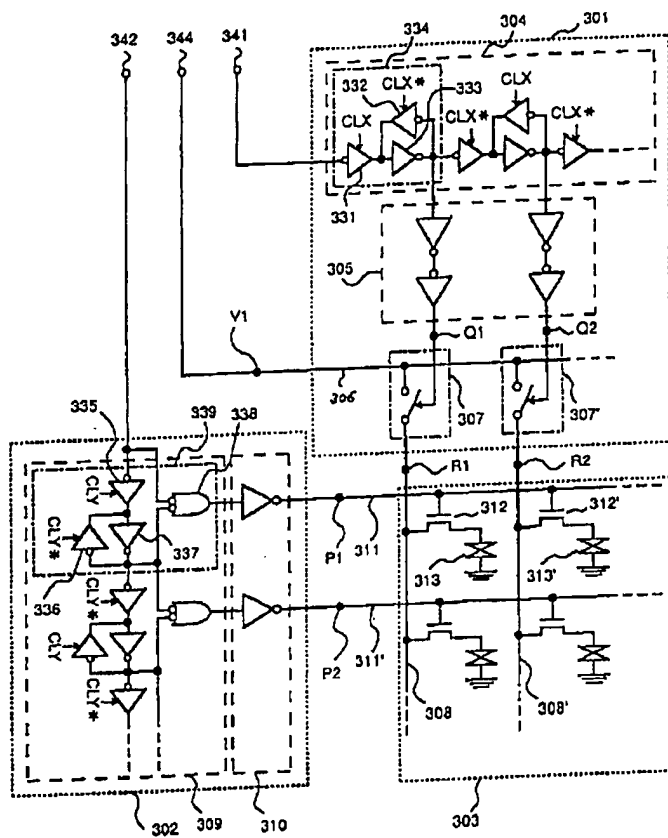
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

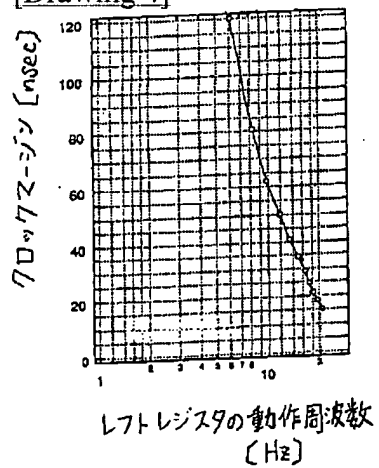
[Drawing 1]



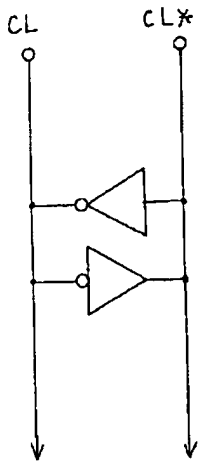
[Drawing 2]



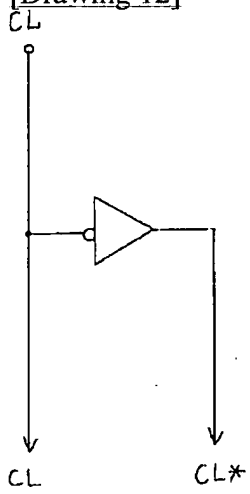
[Drawing 4]



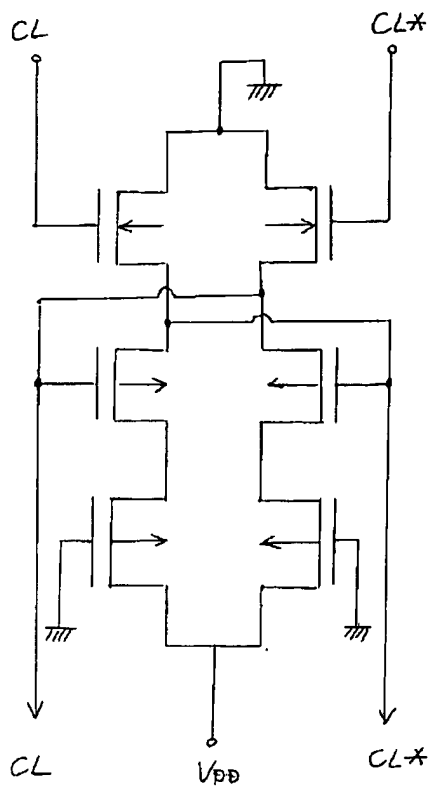
[Drawing 6]



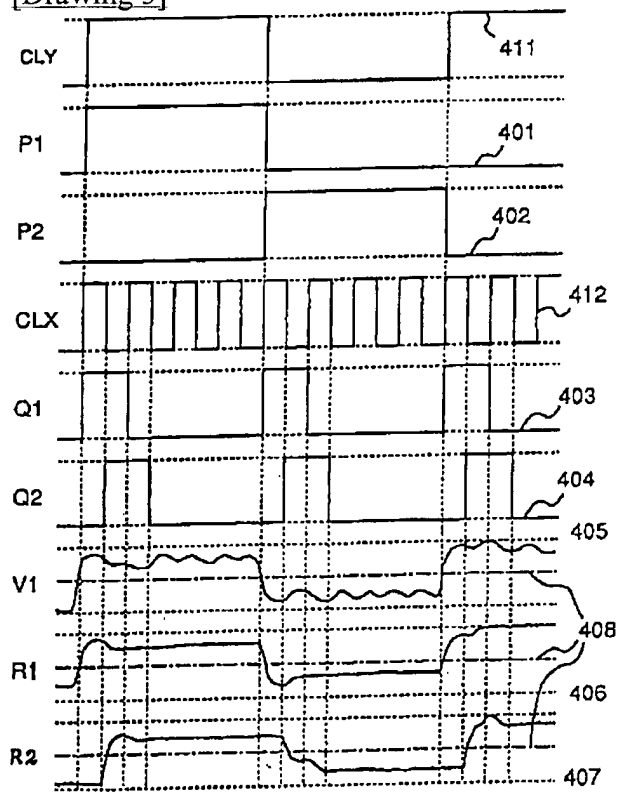
[Drawing 12]



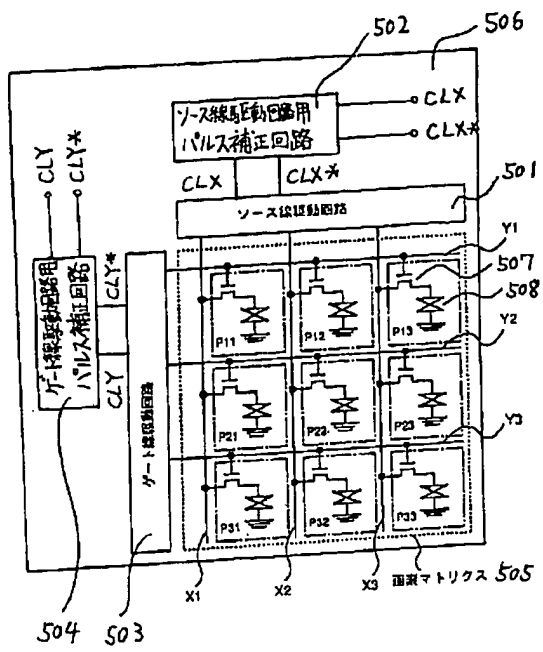
[Drawing 8]



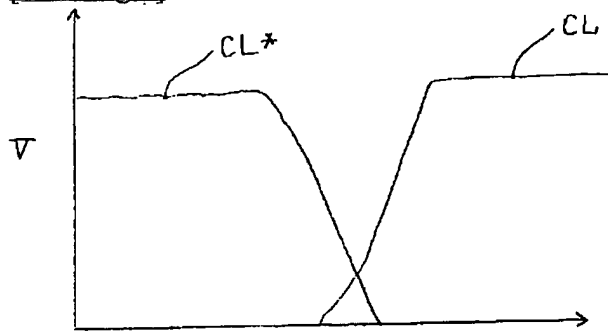
[Drawing 3]



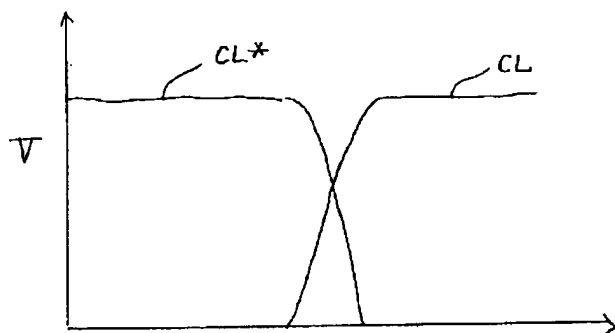
[Drawing 5]



[Drawing 7]



パルス補正前



パルス補正後

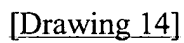
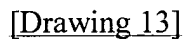
[Drawing 9]

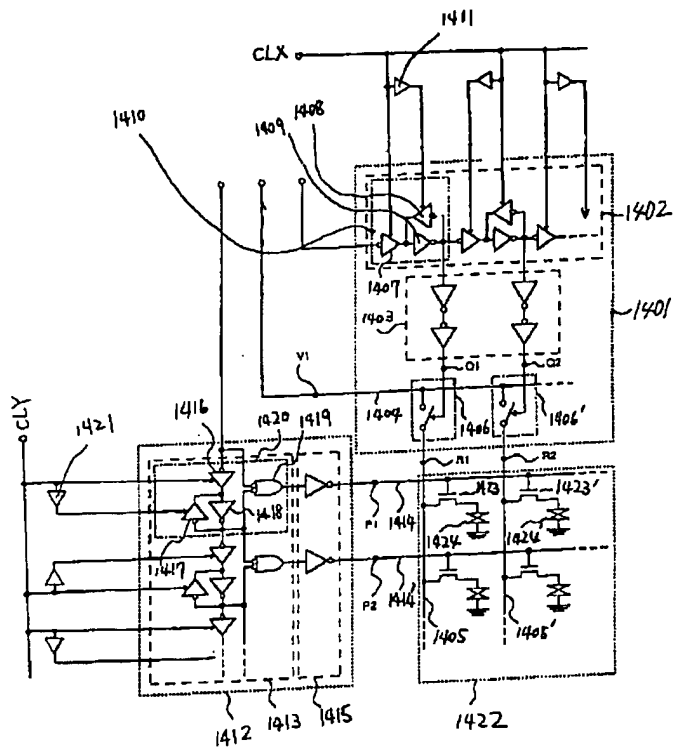


1. 2. 3. 4.

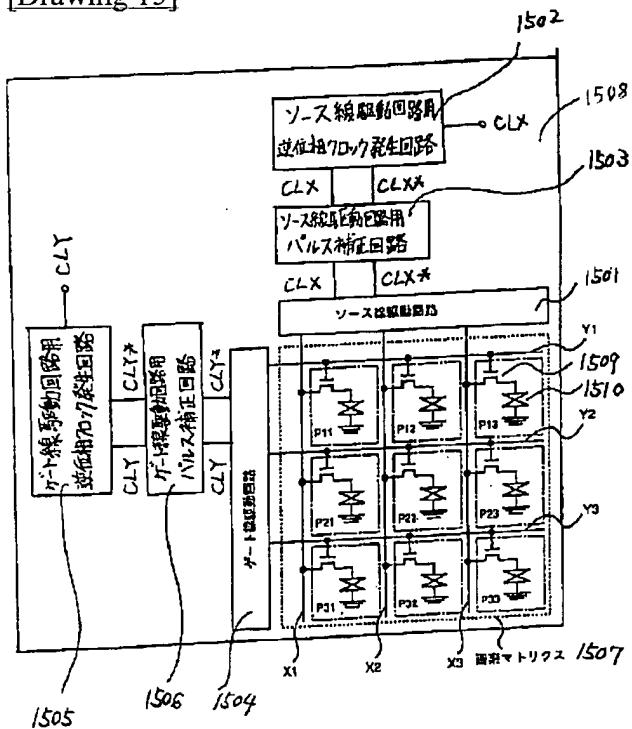


1. 2. 3. 4.

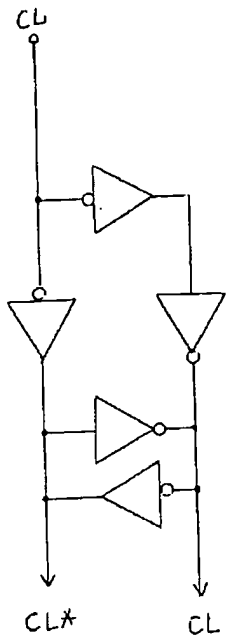




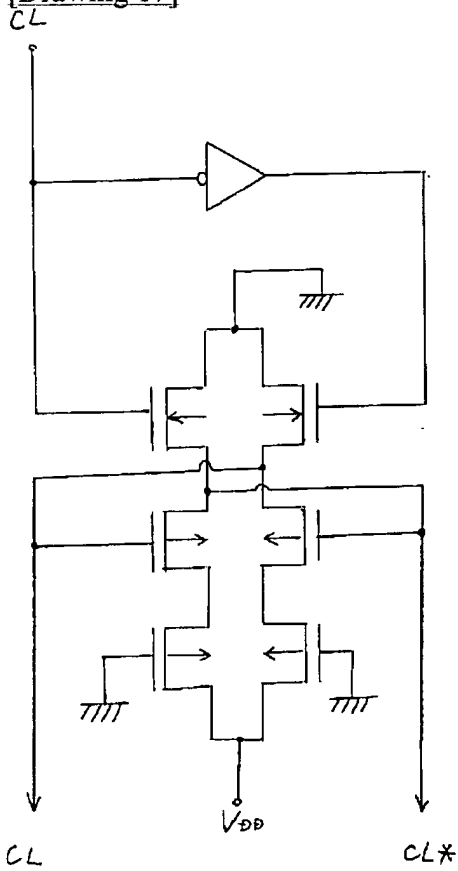
[Drawing 15]



[Drawing 16]



[Drawing 17]



[Drawing 18]

